

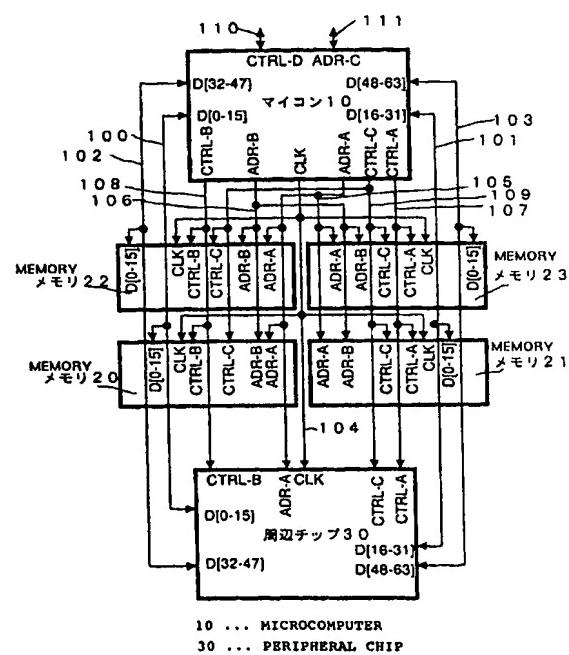
(51) 国際特許分類6 G06F 1/18, 3/00, 15/78, H05K 1/02	A1	(11) 国際公開番号 WO99/24896
		(43) 国際公開日 1999年5月20日(20.05.99)
(21) 国際出願番号 PCT/JP98/04928		成瀬峰信(NARUSE, Takanobu)[JP/JP]
(22) 国際出願日 1998年10月30日(30.10.98)		〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社 日立超エル・エス・アイ・システムズ内 Tokyo, (JP)
(30) 優先権データ 特願平9/303912 1997年11月6日(06.11.97) 特願平9/303913 1997年11月6日(06.11.97)	JP	中村 篤(NAKAMURA, Atsushi)[JP/JP] 片桐光昭(KATAGIRI, Mitsuaki)[JP/JP] 田中一雄(TANAKA, Kazuo)[JP/JP] 〒187-8588 東京都小平市上水本町5丁目20番1号 株式会社 日立製作所 半導体事業本部内 Tokyo, (JP)
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 株式会社 日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.)[JP/JP] 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo, (JP)	JP	(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100-8220 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)
(72) 発明者 ; および (75) 発明者／出願人 (米国についてのみ) 志村隆則(SHIMURA, Takanori)[JP/JP] 内山邦男(UCHIYAMA, Kunio)[JP/JP] 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo, (JP)		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書

(54) Title: INFORMATION PROCESSOR

(54) 発明の名称 情報処理装置

(57) Abstract

When a microcomputer and another arithmetic unit are connected to each other, semiconductor devices are so arranged and wired that clocks and address lines are provided at the shortest distances and memories are provided on both sides of the lines. The lines between the chips are short and data can be transferred via a high speed external bus. Moreover, since the inductances of the lines are small, it is also effective in reducing electromagnetic wave noise.



10 ... MICROCOMPUTER
30 ... PERIPHERAL CHIP

マイコンと他の演算装置を接続する際、最短距離となる箇所にクロックやアドレス線を設け、それら配線の両側にメモリを設ける様に半導体装置を配置し、配線する。

これにより、チップ間の配線が短くなり高速外部バスによるデータ転送が可能となる。更に、配線のインダクタンスが小さくなるので電磁波ノイズの削減にも効果がある。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

A E	アラブ首長国連邦	E S	スペイン	L I	リヒテンシュタイン	S G	シンガポール
A L	アルベニア	F I	フィンランド	L K	スリ・ランカ	S I	スロヴェニア
A M	アルメニア	F R	フランス	L R	リベリア	S K	スロヴァキア
A T	オーストリア	G A	ガボン	L S	レソト	S L	シエラ・レオネ
A U	オーストラリア	G B	英国	L T	リトアニア	S N	セネガル
A Z	アゼルバイジャン	G D	グレナダ	L U	ルクセンブルグ	S Z	スワジ蘭
B A	ボスニア・ヘルツェゴビナ	G E	グルジア	L V	ラトヴィア	T D	チャード
B B	バルバドス	G H	ガーナ	M C	モナコ	T G	トーゴー
B E	ベルギー	G M	ガンビア	M D	モルドバ	T J	タジキスタン
B F	ブルガニア・ファソ	G N	ギニア	M G	マダガスカル	T M	トルクメニスタン
B G	ブルガリア	G W	ギニア・ビサオ	M K	マケドニア旧ユーゴスラヴィア	T R	トルコ
B J	ベナン	G R	ギリシャ	M K	共和国	T T	トリニダッド・トバゴ
B R	ブラジル	H R	クロアチア	M L	マリ	U A	ウクライナ
B Y	ベラルーシ	H U	ハンガリー	M N	モンゴル	U G	ウガンダ
C A	カナダ	I D	インドネシア	M R	モーリタニア	U S	米国
C F	中央アフリカ	I E	アイルランド	M W	マラウイ	U Z	ウズベキスタン
C G	コンゴー	I L	イスラエル	M X	メキシコ	V N	ヴィエトナム
C H	スイス	I N	インド	N E	ニジェール	Y U	ユーロースラビア
C I	コートジボアール	I S	アイスランド	N L	オランダ	Z A	南アフリカ共和国
C M	カメルーン	I T	イタリア	N O	ノールウェー	Z W	シンバabwe
C N	中国	J P	日本	N Z	ニュージーランド		
C U	キューバ	K E	ケニア	P L	ポーランド		
C Y	キプロス	K G	キルギスタン	P T	ポルトガル		
C Z	チェコ	K P	北朝鮮	R O	ルーマニア		
D E	ドイツ	K R	韓国	R U	ロシア		
D K	デンマーク	K Z	カザフスタン	S D	スーダン		
E E	エストニア	L C	セントルシア	S E	スウェーデン		

明細書

情報処理装置

5 技術分野

本発明は、マイクロコンピュータ（マイコン）を適用した制御装置で、特にアミューズメント機器、画像処理装置、携帯情報機器等における制御装置およびマイコンや論理 LSI 等の半導体制御装置の実装およびピン配置に関する。

10

背景技術

マイコン、半導体メモリの高機能化、高速化により、従来数十 MHz で動作していたプリント基板上の外部バスクロックが、数百 MHz に達しようとしている。従来は、外部バスクロックが遅かったので、プリント基板上での配線は、比較的長くても外部バスのシステム設計には大きな問題になっていたいなかった。しかし、例えば、100MHz のバスでは、1 バスサイクルが 10 ナノ秒なので、プリント基板上の配線遅延までも（例えば 1 ナノ秒 / 17 cm）考慮して設計する必要が生じてきている。

このため、マイコンのチップ設計においては、プリント基板上のチップ配置と配線の引き回しが高速バス設計上の大きな課題となりつつある。

また、高速外部バスを実現する上での問題の一つに、出力バッファの同時切り替えノイズがある。以下同時切り替えノイズに関して説明する。

半導体制御装置の出力バッファの出力電圧がハイレベルからローレベル（またはローレベルからハイレベル）に切り替わる際に、出力バッファに流れる電流を、チップの外部電源から供給しなければならない。この場合に、外部から供給される電流は、インダクタンスの大きいパッケ

ージのピン（ボンディングワイヤ、リードフレーム）を通るため、チップ内の電源／グランドレベルが上下して、チップ内の電源／グランドとプリント基板上の電源／グランドの間に一時的にノイズ電圧が発生する。これが、出力バッファの切り替えノイズである。これにより、信号が変化していない出力ピンやクロック信号があたかも変化したように見え、回路が誤動作する原因になる。

この切り替えノイズを少なくするためには、

- (1) 同時に切り替わる出力バッファの数を少なくする。
- (2) 出力バッファの切り替えスピードを遅くする。
- 10 (3) 電源／グランドピンの本数を多くする。
- (4) 電源／グランドのピンの長さを短くする。
- (5) プリント基板上にインダクタンスの少ないデカップリングコンデンサを沢山実装する。
- (6) 出力ピンの負荷容量、配線容量を少なくする。

15 等の対策が考えられる。

従来は、外部バスロックが30MHz程度と遅かったので、マイコン等の半導体制御装置の出力バッファの切り替えスピードを、例えば15ナノ秒程度と遅くし、電源／グランドのピン数を出力ピン8本に1本程度用意し、プリント基板上にインダクタンスの少ないデカップリングコンデンサを沢山実装することにより、対処できていた。

従来のマイコン装置では、外部に実装する半導体メモリや周辺チップを考慮することなく、マイコンや周辺チップのピン配置を決めていたので、プリント基板設計する場合に信号線の引き回しに苦労していた。場合によっては、信号線が長くなり過ぎ、高速な外部バスでのデータ転送ができなかったりもした。

本発明の目的は、マイコンや周辺チップ等の論理LSIのピン配置をプ

リント基板上のLSIやメモリの配置を考慮して決め、プリント基板上の配線の引き回しを容易にし、高速外部バスでの情報転送が可能なマイコン制御システムを提供することにある。

また、最近のマルチメディア用のシステムでは、大量の画像データを
5 扱うために外部バスに要求されるデータ転送能力は、例えば、100MHzの高速バスで、バス幅64ビット、すなわち800MHz/バイト等の高速転送を要求されるようになっている。

このため、(1)については、同時に切り替わる出力バッファの数を少なくすることはできず、逆に、従来の32ビットバスから64バスに
10 増えてしまっている。

(2)については、出力バッファの切り替えスピードを遅くすることはできず、100MHzの高速バスでは、1バスサイクルが10ナノ秒なので、出力バッファの切り替えスピードを5ナノ秒から6ナノ秒と高速にしなければならない。

15 (3)については、電源/グランドのピン数を出力ピン8本に1本から4本に1本程度に改善する。

(4)に関しては、プリント基板上の電源/グランドのピンの長さを短くするようにする。

20 (5)に関しては、従来通りプリント基板上にインダクタンスの少ないデカップリングコンデンサを沢山実装する。

(6)に関しては、プリント基板実装時に考慮して、プリント基板上の出力ピンの負荷容量、配線容量を少なくする等の対策を行なっている。

しかし、従来は上記(4)に関して、プリント基板上の電源/グランドのピンの長さを短くするようにする対策は行なっているが、パッケージ内部の電源/グランドピンを短くし、インダクタンスを下げるという対策はされていなかった。

本発明の第 2 の目的は、半導体制御装置のパッケージ内の電源／グラ
ンドの配線長を短くし、インダクタンスを下げることにより、バスク
ロックが 100 MHz 以上の高速外部バスでの出力バッファの切り替えノ
イズの低減が可能なマイコンや論理 LSI 等の半導体制御装置を提供する
5 ことにある。

発明の開示

(解決手段)

上記課題を解決するために、本発明はマイコンと周辺制御半導体装置
10 と複数の半導体メモリとから構成されるマイコン制御装置において、マ
イコンと周辺半導体装置との間に複数の半導体メモリを配置し、マイコン
のピン配置は、マイコンと半導体メモリとの位置が最も近い辺の中心
からクロック信号を出力し、そのクロックの左右からアドレス信号を出
力し、そのさらに外側から制御信号を出力し、マイコンと半導体メモリ
15 との位置が次に近い辺からデータバスを出力するようにし、マイコンと
メモリ間のクロック、アドレスバス、制御信号の配線長を短くすること
を提案する。

また、マイコンと周辺制御半導体装置との間に配置された半導体メモ
リがアドレスバスを内側（マイコンの中心と周辺半導体装置の中心を結
20 んだ線に近い方向）にし、データバスを外側にして横置きに配置され、
アドレスバスの配線長を短くすることが好ましい。

さらに、マイコンと周辺制御半導体装置とのピン配置がピン対称にな
るようになり、周辺制御半導体装置をマイコンの裏面に実装して、マイコン
と周辺制御半導体装置間の信号線の配線長を短くすることも望ましい。

25 さらに、マイコンと周辺制御半導体装置と半導体メモリを 1 チップに
することもできる。

このように、本発明によれば、マイコンを適用した制御システムにおいて、外部バスの制御に必要な信号線のピン配置を実現することにより、マイコンとメモリ間の配線およびマイコンと周辺チップ間の配線を最短にし、高速外部バスによるデータ転送を可能にすることができます。

5 本発明のある態様では、演算機能を備える第1の半導体装置と、記憶機能を備える第2および第3の半導体装置とを有し、第1の半導体装置を通る軸をY軸と想定したときに、第2および第3の半導体装置がY軸
10 に対して線対称の配置になるように配置され、第1の半導体装置の第2および第3の半導体装置に近い辺にクロック信号を出力するクロック信号端子を有し、クロック信号端子からクロック信号が第2および第3の半導体装置に供給されている。

また、Y軸に直交するX軸を想定したときに、第2および第3の半導体装置はX軸の方向に沿って並んでいることが好ましい。また、Y軸の上に、演算機能を備える第4の半導体装置を有し、第4の半導体装置と第1の半導体装置との間に第2および第3の半導体装置が配置され、第1の半導体装置から供給されるクロック信号が、第4の半導体装置の上記第2および第3の半導体装置に近い辺のクロック入力端子に入力されていることが望ましい。そして、クロック信号を伝達する配線が、第2および第3の半導体装置の間を通っていることが望ましい。このような配置構成により、クロック信号が最短距離を通ってかく装置に供給され、
20 高速かつ安定な動作が可能となる。

アドレス信号に関しては、第1の半導体装置のクロック端子の左右にアドレス信号端子を有し、アドレス信号端子からアドレス信号が第2および第3の半導体装置に供給されるように構成できる。

25 データ信号に関しては、第1の半導体装置のクロック信号端子のある辺を第1の辺とし、この第1の辺の両側の辺を第2および第3の辺とし

たときに、各辺に配置される端子の数に対するデータ信号入出力端子の数の割合を、第1の辺における割合よりも、第2または第3の辺における割合の方が大きく設定することが望ましい。すなわち、データ信号はなるべく第2および第3の辺に接続される。

5 第2および第3の半導体装置はX軸に平行な方向に長辺を有しており、長辺においてアドレス信号の入力される端子は、データ信号入出力端子よりもY軸に近く配置され、配線長を短くすることができる。

10 第4の半導体装置に関しては、そのクロック信号入力端子のある辺と同じ辺にアドレス信号入力端子を有し、アドレス信号入力端子に記第1の半導体装置からのアドレス信号を入力することが望ましい。また、第4の半導体装置のクロック信号入力端子のある辺を第1の辺とし、第1の辺の両側の辺を第2および第3の辺としたときに、各辺に配置される端子の数に対するデータ信号入出力端子の数の割合は、第1の辺における割合よりも、第2または第3の辺における割合の方が大きく設定する

15 ことが望ましい。第1の半導体装置の場合と同様の趣旨である。

20 このように、本発明が提案するシステムに好適な第1の半導体装置（例えばマイコン）および、第4の半導体装置（例えばマイコンと共同して動作する演算装置）の構成は、例えば、矩形状の外形を有している場合、一辺にクロックおよびアドレス信号に関する端子を配置し、その両側の2辺にデータ信号の入出力端子を設ける。データ信号の入出力端子の数が多い場合には、その一部をクロックおよびアドレス信号に関する端子のある辺に配置することもできる。

25 このような端子の配置を有する第1及び第4の半導体装置を、クロックおよびアドレス信号に関する端子のある辺どうしが向かい合うように配置し、クロック、アドレス、データを結線することで、高速動作に影響の大きいクロックやアドレス信号の配線長を短くすることができ、シ

システム性能の向上に寄与する。クロックおよびアドレス信号に関する端子のある辺と反対側の辺には、高速性能にさほど影響しない信号端子、たとえば、低速のメモリや、外部インターフェイス回路を接続することができる。

5 高速な記憶装置の容量を増加したい場合には、第2および第3の半導体装置と同様の構成の第5および第6の半導体装置をさらに設け、第5および第6の半導体装置をY軸に対して線対称の配置になるように配置し、かつ、第5および第6の半導体装置はX軸に平行な方向に長辺を有しており、この長辺においてアドレス信号の入力される端子は、データ信号入出力端子よりもY軸に近く配置することもできる。
10

例えは、第5および第6の半導体装置は、第2および第3の半導体装置が配置される基板面と同一の基板面に配置され、かつ、第1および第4の半導体装置の間に配置されている。すなわち、これらのメモリ装置は第1および第4の半導体装置の間にあり、マトリックス状に配置され
15 る。

他の例では、第5および第6の半導体装置は、第2および第3の半導体装置が配置される基板面と反対の基板面に配置され、かつ、基板に対して第2および第3の半導体装置と面对称になるように配置されている。この例は前の例よりも配線長が短くできるが、装置厚さが厚くなる。

20 典型的な例では、第2、第3、第5、第6の半導体装置は、16ビットのデータバスを有する半導体メモリ、例えはシンクロナスDRAMである。

また、エミュレータ、クロック発振回路、入出力ポート、シリアルインターフェイス、および割込回路のうちの少なくとも一種を周辺モジュールとして備え、第1の半導体装置の第1から第3の辺以外の辺に配置される端子と周辺モジュールを接続することができる。これらの装置で
25

はそれほどの高速性を要求しないためである。また、第2および第3の半導体装置とは異なる種類の半導体メモリを備え、前記第1の半導体装置の第1から第3の辺以外の辺に配置される端子とそれらの半導体メモリを接続することもできる。

5 第4の半導体装置としては、動画像データ処理用の半導体装置、その他のコプロセッサが考えられる。

また、他の発明の態様では、マイクロコンピュータと2つの半導体メモリを基板上に配置して構成した情報処理装置であって、マイクロコンピュータの第1の辺に平行な方向に2つの半導体メモリが並べて配置され、マイクロコンピュータと半導体メモリの間はクロックバス、アドレスバス、データバスで接続され、マイクロコンピュータの第1の辺に配置された端子にクロックバスが接続されている。

マイクロコンピュータの第1の辺を挟む第2の辺と第3の辺に配置された端子のうちデータバスに接続される端子の割合は、第1の辺に配置された端子のうちデータバスに接続される端子の割合よりも大きいことが望ましい。また、マイクロコンピュータの第1の辺に配置された端子にアドレスバスが接続されていることも望ましい。

このとき、2つの半導体メモリの長辺がマイクロコンピュータの第1の辺に平行であり、長辺に配置された端子にアドレスバスとデータバスが接続され、2つの半導体メモリの対向する辺に近い端子にアドレスバスが接続されていることが望ましい。

さらに2つの半導体メモリの長辺の、アドレスバスが接続された端子とデータバスが接続された端子の間の端子に、クロックバスが接続されていることも望ましい。

25 さらに他の態様では、直方体形状を有する第1のデータ処理装置、第2のデータ処理装置、複数の記憶装置、およびこれらを搭載する基板を

有する情報処理装置であって、基板面上に互いに直交するX軸とY軸を想定した場合、Y軸上に第1および第2のデータ処理装置が配置され、Y軸に線対称に複数の記憶装置が配置され、かつ、X軸に線対称に複数の記憶装置が配置され、かつ、複数の記憶装置を挟んで第1および第2のデータ処理装置が配置されている。
5

典型的には第1のデータ処理装置と第2のデータ処理装置の対向する面の間をクロック信号を供給する配線が接続しており、配線の両側に複数の記憶装置が分かれて配置されている。

さらに、好ましくは第1または第2のデータ処理装置のY軸の右側にある面にある端子と、記憶装置のうちY軸の右側にある記憶装置がデータバスで接続され、第1または第2のデータ処理装置のY軸の左側にある面にある端子と、記憶装置のうちY軸の左側にある記憶装置がデータバスで接続されていることを特徴とする。
10

また、他の態様では直方体形状を有する第1のデータ処理装置、第2のデータ処理装置、複数の記憶装置、およびこれらを搭載する基板を有する情報処理装置であって、基板面を挟んで第1および第2のデータ処理装置が配置され、第1のデータ処理装置の入力あるいは出力端子が、第2のデータ処理装置の出力あるいは入力端子と向き合う位置に配置されていることを特徴とする。さらに、基板面を挟んで前記複数の記憶装置が配置され、該記憶装置のクロック入力端子、アドレス入力端子、データ入力端子がそれぞれ向き合う位置に配置されていることも配線長を短縮することに有効である。
15
20

このように、本発明は基板上に複数のチップやモジュールを配置して、互いを結合し、高速で動作するシステムを提供できる。

25 第2の課題を解決するため、半導体制御装置のパッケージの裏面に2次元のアレイ上に配置されたピン（半田ボール）を有するパッケージに

実装された半導体制御装置において、内側のピンに電源とグランドを配置して、パッケージ内のチップのボンディング PAD からパッケージの裏面のピンまでの距離を最短にし、パッケージ内の電源とグランドのインダクタンスを小さくして、半導体制御装置の出力バッファの切り替えノイズを低減したものである。
5

さらに、半導体制御装置のパッケージの裏面に 2 次元のアレイ上に配置されたピン（半田ボール）を有するパッケージに実装された半導体制御装置において、最内側にグランドを配置し、内側から 2 列目に電源ピンを配置して、パッケージ内のチップのボンディング PAD からパッケージの裏面のピンまでの距離を最短にし、パッケージ内のグランドのインダクタンスを特に小さくして、半導体制御装置の出力バッファの切り替えノイズを低減したものである。
10
15

また、I/O(入出力回路)用の電源電圧と内部論理用の電源電圧とが別々の電圧で動作する半導体制御装置において、I/O 用の電源およびグランドピンより、内部論理用の電源およびグランドピンより多くして、出力切り替えノイズを低減したものである。

このように、本発明によれば、マイコンや論理 LSI 等の半導体制御装置において、半導体制御装置の出力バッファの切り替えノイズを低減するピン配置を実現することにより、高速な外部バスによる出力バッファの切り替えノイズを低減でき、高速なデータの入出力を可能にする。
20

また、アレイ上にピン配置されたパッケージにおいて、このようにパッケージの内側のピンに電源／グランドピンを配置したので、パッケージの外側のピンを信号線に配置でき、信号線をパッケージの外に引き出すときに、ピンとピンの間に信号線を 1 本通せる実装ルールであれば、
25 プリント基板上のスルーホールを使わずに、信号線を引き出せるので、高速バスを実現する場合に、スルーホールによる抵抗を除去でき、配線

のインピーダンスの調整や引き回しも簡単になり、高速外部バスの実装を容易にできる。

本願発明の典型的な例を示すと、半導体チップと、半導体チップを内蔵するパッケージと、パッケージの表面に配置される複数の端子とを有する半導体装置であって、複数の端子は、半導体チップに対する電源またはグラウンドを供給する第1の種類の複数の端子と、半導体チップに信号を入力あるいは半導体チップから信号を出力する第2の種類の複数の端子を含み、

半導体チップの外縁と第1の種類の端子それぞれの外縁との最短距離の集合AをA1～AN（ただしNは第1の種類の端子の数）とし、

半導体チップの外縁と第2の種類の端子それぞれの外縁との最短距離の集合BをB1～BM（ただしMは第2の種類の端子の数）としたとき、

集合Bのうち最小のものが、集合Aのうち最大のものと同じかそれ以上であることを特徴とする。このように、電源及び接地電位の配線長を優先的に短くするようにピンを配置するものである。

このときに、端子はパッケージの外形を形成する平面のうち最大面積の平面にマトリックス状に配置されており、この最大面積の平面が矩形、通常は正方形である。この矩形形状の平面の外縁と第1の種類の端子それぞれの外縁との最短距離の集合AXをAX1～AXN（ただしNは第1の種類の端子の数）とし、上記矩形形状の平面の外縁と上記第2の種類の端子それぞれの外縁との最短距離の集合BXをBX1～BXM（ただしMは第2の種類の端子の数）としたとき、集合BXのうち最大のものが、集合AXのうちの最小のものと同じかそれ以上であることを特徴とする。要するに、端子配置面の外縁に近い方に信号ピンを配置し、遠い方に電源ピンを配置するものである。

あるいは、半導体チップと、半導体チップを内蔵するパッケージと、

パッケージの表面に互いに等間隔でマトリックス配置される複数の端子とを有する半導体装置であって、マトリックス配置された端子のうち最外縁の端子を第1のグループとし、第1のグループの端子と最短距離にある端子を第2のグループとし、第2のグループの端子と最短距離にある端子で第1のグループに属していない端子を第3のグループとしたときに、第3のグループにおける信号入出力端子以外の端子の割合が、第1のグループにおけるそれよりも大きいことを特徴とする。

さらに望ましくは、第3のグループにおける信号入出力端子以外の端子の割合が、第2のグループにおけるそれよりも大きい。また、第3のグループの端子と最短距離にある端子で第2のグループに属していない端子を第4のグループとしたときに、第4のグループにおける信号入出力端子以外の端子の割合が、第1のグループにおけるそれよりも大きいことを特徴とする。

すなわち、後に第8図などで詳細に説明するように、4周（円配列でも矩形配列でもよい）にわたってマトリックス配置された内側の2周について電源または接地ピンを優先的に配置し、外側の2周について信号ピンを配置する。信号ピンは場合により多数準備する必要があるが、そのときは適宜内側の2周に信号ピンを設定しても良い。

ここで、信号入出力端子以外の端子として、半導体チップ内に形成された論理回路（例えばMOSで形成された種々のゲート、ラッチ等である）を駆動するための第1及び第2の電位を供給するための端子を含むことはいうまでもない。電源を複数種類設ける場合には、さらに、半導体チップ内に形成された論理回路を駆動するための第3及び第4の電位を供給するための端子をさらに含んでもよい。例えば、内部論理回路と、周辺入出力回路部では別々の電源を用いることがある。

電源ピンの配置としては、半導体チップ内に形成された特定の論理ゲ

ートを駆動するための第 1 及び第 2 の電位を供給するための端子の対が、第 3 及び第 4 のグループに属する端子に分かれて配置されていることが望ましい。また、半導体チップ内に形成された特定の論理ゲートを駆動するための第 2 及び第 3 の電位を供給するための端子が、第 3 及び第 4 5 のグループに属する端子に分かれて配置されていることも望ましい。

特に、これらの 1 対の電源と接地電位は隣接して第 3 及び第 4 のグループ配置されている端子とすることが好ましい。

パッケージはプリント基板上に配置されており、第 1 及び第 2 のグループに属する端子からは基板表面に沿って配線が引き出され、第 3 及び 10 第 4 のグループに属する端子からは基板を貫通するスルーホールを通して配線が引き出されていることとすると電源に対するノイズの影響が低減でき好適である。

入出力端子は、半導体チップ内に形成された論理回路によって処理されるべき入力信号、あるいは、半導体チップ内に形成された論理回路によって処理された出力信号を伝達するものとすることができます。 15

また、本発明の別の態様では、半導体チップと、半導体チップを内蔵するパッケージと、パッケージの表面に配置される複数の導体ピンと、半導体チップのパッドと上記導体ピンを電気的に接続するリードフレームを有する半導体装置であって、複数のピンは半導体チップに形成された能動素子を駆動するための少なくとも 2 つの電位を供給する第 1 の種類の複数のピンと、半導体チップの能動素子で変調される信号を入力あるいは半導体チップの能動素子で変調された信号を出力する第 2 の種類の複数のピンを含み、第 1 の種類のピンとパッドの間の配線長の最大のものが、第 2 の種類のピンとパッドの間の配線長の最小のものを越えないことを特徴とする。ピンの配置としては、第 1 の種類の複数のピンは半導体チップの外縁を取り囲むように配置され、第 2 の種類のピンは第 20 25

1 の種類の複数のピンを取り囲むように配置させることができる。

パッケージはプリント基板上に配置されており、第 2 の種類の複数のピンの大部分からは基板表面に沿って配線が引き出され、第 1 の種類の複数のピンの大部分からは基板を貫通するスルーホールを通して配線が引き出されていることが望ましい。理想的には全ての第 1 の種類のピンは配線長を短くするためにスルーホールを用いるのが良いが、大部分(80 パーセント程度がスルーホールを用いても効果は得られる)。

(効果)

以上説明したように、本発明によれば、マイコンを適用した制御システムにおいて、外部バスに適したマイコンのピン配置を提供し、マイコンなどの論理 LSI と外部メモリや周辺チップとの接続に必要な信号線の配線を最短にでき、高速外部バスによるデータ転送を可能にするので、高速バスが必要なアミューズメント装置、情報機器を実現する場合にその効果が大きい。

また、本発明により、チップ間の配線が短くなり配線のインダクタンスが小さくなるので、電磁波妨害ノイズの削減にも効果がある。

また、本発明によれば、出力バッファの切り替えノイズに強いマイコンや論理 LSI 等の半導体制御装置のピン配置を提供し、高速外部バスによるノイズを低減するので、高速外部バスが必要なアミューズメント装置、画像処理装置、情報機器を実現する場合にその効果が大きい。

図面の簡単な説明

第 1 図は、本発明の第 1 実施例のマイコン制御装置の構成を示す平面図。第 2 図は、本発明の第 2 実施例のマイコン制御装置の構成を示す平面図。第 3 図は、本発明の第 3 実施例のマイコン制御装置の構成を示す平面図。第 4 図は、本発明の第 4 実施例のマイコン制御装置の構成を示す平面図。

す平面図。第5図は、本発明のマイコンとメモリの接続を示す平面図。第6図は、メモリの信号名の説明を示す表図。第7図は、本発明のマイコンと周辺チップの実装の断面図。第8図は、本発明のBGAパッケージのピン配置図。第9図は、本発明のBGAとQFPのパッケージのピンの説明を示す表図。第10図は、本発明のBGAとQFPのパッケージのピンの説明を示す表図。第11図は、本発明の実施例のQFPパッケージのピン配置図の左半分の平面図。第12図は、本発明の実施例のQFPパッケージのピン配置図の右半分の平面図。第13図は、本発明の半導体制御装置のパッケージのピン配置の構成を示す平面図。第14図は本発明の図1のパッケージのA断面図。第15図は、本発明の半導体制御装置のパッケージの内部の実装の一例を示す模式図。第16図は、本発明の半導体制御装置のパッケージのピン配置の構成図の他の実施例平面図。第17図は、本発明のパッケージのプリント基板への実装断面図。第18図は、本発明の第1図のBの部分の拡大平面図。第19図は、本発明のパッケージを実装するフットパターンの構成を示す平面図である。

発明を実施するための最良の形態

第1図に本発明の第1の実施例を示す。半導体メモリ20、21、22、23はマイコン10と周辺チップ30の間に置かれる。第1図の例では、マイコン10と周辺チップ30の配置される方向に延在し、かつ、マイコン10と周辺チップの中央を通る軸をY軸としたときに、このY軸の両側に半導体メモリ20～23がY軸に対して線対称に配置されている。

各々の半導体メモリは、アドレスピン(ADR-A、ADR-B)を内側、データピンを外側(D[0-15])にして、横置きに配置される。すなわち、各半導体メモリは、

Y 軸に直交する軸を X 軸方向とするときに、X 軸方向に長辺が一致するように配置されており、各半導体メモリのアドレスピンはデータピンよりも Y 軸に近い位置に配置されるようになっている。

ここで、半導体メモリは、同期型の高速データ転送を実現できる SDRAM
5 (シンクロナスダイナミック RAM) として説明するが、他の種のメモリ、
例えばシンクロナス SRAM や通常の SRAM、DRAM でもよい。

マイコン 10 および周辺チップ 30 は 64 ビットデータバスである。
半導体メモリ 20、21、22、23 は 16 ビットのデータバスとし、
4 チップの半導体メモリにより、64 ビットのバスを実現するものとす
10 る。

マイコン 10 からクロック 104、アドレスバス 105、106、制
御信号 107、108、109、データバス 100、101、102、
103 を出力し、半導体メモリ 20、21、22、23 および周辺チッ
プ 30 を制御する。

15 クロック 104 は、マイコン 10 の下辺（メモリに近い方の辺）に配
置するピンの中心から出力され、半導体メモリ 20、21、22、23
および周辺チップ 30 の動作クロックとして使用される。すなわち、第
1 図の例ではクロックはマイコン 10 から周辺チップへ Y 軸に沿って配
線され、途中で左右に分岐してメモリ 20～23 に供給される。

20 アドレスバス 105、106 は、マイコン 10 のクロック出力を中心
として、左右に配置され出力される。105 は半導体メモリのアドレス
の下位ビット（例えば、A0 から A6）、106 は半導体メモリのアドレス
の上位ビット（例えば、A7 から A17）とし、半導体メモリ 20、21、
22、23 のアドレスおよび周辺チップ 30 に入力される。第 1 図では、
25 アドレス 105 のみ周辺チップ 30 に入力しているが、周辺チップ 30
内にマッピングされるアドレス空間が広い場合には、アドレス 106 も

周辺チップ30に入力してもよい。

制御信号107（右側のメモリへのライトストローブ）、108（左側のメモリへのライトストローブ）、109（チップセレクト、読み出し／書き込み切り替え信号、RASストローブ、CASストローブ）は、マイコン10のアドレスのさらに外側から出力され、左右の半導体メモリに共通の制御信号109は、半導体メモリ20、21、22、23と周辺チップ30に出力される。制御信号107は、右側の半導体メモリ21、23および周辺チップ30に出力され、制御信号108は、左側の半導体メモリ20、22および周辺チップ30に出力される。

データバス100、101、102、103は、16ビット単位のデータバスで、例えば、100がD0からD15、101がD16からD31、102がD32からD47、102がD48からD63とする。各々が、マイコン10の左右側から出力され、半導体メモリ20、21、22、23および周辺チップ30に接続される。

このように、マイコン10と半導体メモリ20、21、22、23、周辺チップ30を接続する場合に、出力の負荷容量が重い（メモリ4個と周辺チップ1個に接続すると、各チップ当たり5 pFから7 pFなので、負荷容量は25 pFから35 pFとなる）クロック、アドレス、制御信号ピンをマイコン10の下辺側に集め、半導体メモリ20、21、22、23のアドレスバスが内側（マイコン10の中心と周辺チップ30の中心を結んだ線（Y軸）に近い方向）になるように横置きに配置することにより、これらの信号線が、半導体20、21、22、23と周辺チップ30の間を最短で通るように配線される。

特にクロック信号104は、他の信号線よりも動作周波数が高く（通常2倍以上）、配線のインピーダンスのマッチングおよび遅延に関する対策を行う必要があるため、下辺の中心に置くことにする。また、制御

信号 107 と制御信号 108 に関しては、右側の半導体メモリ 21、23 に接続する制御信号 107 は右側に、左側の半導体メモリに接続する制御信号 108 信号は左側に配置して、それぞれの配線長が短くなるようにする。

5 データバスは、負荷容量が軽いので（メモリ 1 個と周辺チップ 1 個に接続すると、各チップ当たり 5 pF から 7 pF なので、負荷容量は 10 pF から 14 pF となる）、上記アドレス等の信号線よりも多少配線が長くなつても遅延時間が大きくならないので、マイコン 10 の左右に配置し、半導体メモリ 20、21、22、23 に接続後、周辺チップ 30 に達するように配置する。データバスは 64 ビットとバス幅が広いので、32 ビットずつ分け左右の辺に配置するようとする。

高速動作の必要の無い信号は、マイコンの上辺（メモリに遠い方の辺）に配置し、各種インターフェースおよびコネクタに接続するようとする。これにより高速な外部バスを実現できる。

15 第 2 図に本発明の第 2 の実施例を示す。本発明は、半導体メモリ 20、21 をプリント基板の裏面に配置するものである。裏面に実装したメモリは点線で示す。また、裏面へのメモリの配線も点線で示す。これにより、半導体メモリ 20、21 が半導体メモリ 22、23 の背面に置かれるので、マイコン 10 と、半導体メモリ 20、21、22、23 と周辺チップ 30 の配線がさらに短くできる。裏面への配線は、プリント基板を貫通するような配線を設けることによって容易に達成することができる。

第 3 図に本発明の第 3 の実施例を示す。本発明は、半導体メモリ 40、41 がそれぞれ、32 ビットバスのメモリである。32 ビットバスのメモリを使用することにより、クロック、アドレス、制御信号の負荷容量を最大 3 以下（メモリ 2 個と周辺チップ 1 に接続すると、各チップ当た

り 5 pF から 7 pF なので、負荷容量は 15 pF から 21 pF となる) にすることができるので、プリント基板上の配線遅延が小さくなる。通常、1 ナノ秒 / 10 pF 程度送れるので、32 ビットバスのメモリを使用することにより、0.5 ナノ秒程度配線遅延を改善でき、さらに、高速な外部
5 バスシステムを実現できる。

第 4 図に本発明の第 4 の実施例を示す。本発明は、周辺チップ 30 をマイコン 10 とピン対称にして、周辺チップ 30 をマイコン 10 の背面に配置するものである。プリント基板の裏面に配置した周辺チップ 30 は点線で示してある。

10 第 7 図にピン対称実装の実装例を示し、具体的に説明する。マイコン 10 および周辺チップ 30 は共に BGA (ボールグリットアレイ) とする。プリント基板 200 は 4 層基板で配線層、グランド層、電源層、配線層から構成されている。マイコン 10 と周辺チップ 30 のピンは外側が信号ピン 201、内側が電源ピン 202 とグランドピン 203 とする。信号ピン 201 は、マイコン 10 と周辺チップ 30 でピン対称になっているので、それぞれの信号をプリント基板内のスルーホールで接続する。電源ピン 202 とグランドピン 203 は、マイコン 10 と周辺チップ 30 でピン対称になっているので、スルーホールで接続すると同時に、それぞれ、内層の電源層、グランド層と接続する。
15

20 これにより、マイコン 10 と周辺チップ 30 間の配線は、プリント基板の配線層と配線層をスルーホールで結べるので、配線長をほぼゼロ (プリント基板の厚さ分) にすることができる。

第 4 図を用いて、高速動作の要求の小さい信号に関して説明する。これらの信号に接続される周辺モジュール 70 は、マイコンの上辺 (メモリ 40、41 から一番遠い辺) に配置する。具体的には、エミュレータ 71、クロック発振回路 72、I/O ポート 73、シリアルインターフェース
25

74、割り込み回路 75 等がある。これらの回路は制御信号 110 (CTRL-D) で接続される。制御信号 110 は、低速の信号 (数十 MHz 程度) なので、プリント基板上の配線も長くてよく、マイコン 10 の出力バッファも低速のバッファでよい。

5 また、アドレス 111 (ADR-C) は、アドレスバスの上位のピット (A18-A25) で、比較的低速なアクセス時間が 100 ナノ秒以上の SRAM や ROM との接続にのみ用いるので、プリント基板上の配線が長くなっても問題ないので、マイコン 10 の上辺に配置することができる。

第 8 図に BGA (ボールグリッドアレイ) パッケージのマイコンのピン配の実施例を示す。

10 第 11 図、第 12 図には、QFP (フラットパッケージ) のピン配置図を示す。第 11 図が左半分で、第 12 図が右半分である。このフラットパッケージはリードフレームに搭載され、これらをボールグリッドアレイパッケージが内蔵することとした。フラットパッケージとボールグリッドアレイパッケージのピンは、リードフレームにより接続される。

15 第 9 図、第 10 図に、第 11 図、第 12 図に示したマイコンのピンの説明図を示す。BGA も QFP も下辺が半導体メモリとの間の配線長を短くする信号線であり、左右がデータバスになっている。

20 第 5 図に BGA パッケージのマイコン 10 と半導体メモリとの接続例を示す。この図は、第 1 図のマイコン 10 とメモリ 20 との接続部分を拡大した図である。メモリとしては、SDRAM (シンクロナスダイナミック RAM) を用いている。

25 第 6 図は第 5 図で示した SDRAM のピンを説明する図である。SDRAM 20 はアドレスピンを内側して横置きに実装する。以下、マイコン 10 とメモリ 20 間の配線に関して説明する。まず、クロック 104 (CKI0) を優先配線する。次に、アドレスバス 105 (A3-A6)、106 (A7-A14)

を接続する。ここで、A13 と A14 はメモリ 20 の背面を通して接続する。制御信号 108 は、接続するメモリによって機能が異なる信号なので、SDRAM の場合には、WE1#/CAS1#/DQM1、WE0#/CAS0#/DQM0 信号の DQM0、DQM1 の機能を選択し、メモリ 20 の UDQM、LDQM に接続する。LDQM の配線は
5 メモリ 20 の背面を通す。また、制御信号 109 に関しては、CS2#は、メモリ 20 の CS#（チップセレクト）に接続し、RAS#は、メモリ 20 の RAS#と接続する。RD#/CASS#/FRAME#は、接続するメモリによって機能が異なる信号なので、SDRAM の場合には、CASS#機能を選択し、メモリ 20 の CAS#と接続する。RD/WR#はメモリ 20 の WE#と接続する。

10 データバス 100 は、16 ビットのデータバスをマイコン 10 とメモリ 20 間でそれぞれ一対一に接続する。ここで、D8-D15 はメモリ 20 と表面の配線層で接続し、D0-D7 は、メモリ 20 の背面を通してメモリのデータピンと接続する。

15 このように接続することにより、マイコン 10 とメモリ 20 間の配線を最短にできる。同時にほとんどの配線を表面の配線層だけでできるので、スルーホールの数も少なくなり、配線のインピーダンスの調整を容易にし、電源グランド層の強化にもつながる。

20 同様にして、他のメモリ 21、22、23 も同様に最短接続可能である。本実施例では、SDRAM に関して説明したが、他の高速メモリに関しても適用可能である。

25 将来さらに LSI の集積度が上がれば、マイコン 10 と半導体メモリ 20、21、22、23 と周辺チップ 30 の各モジュールを 1 チップにすることが可能となるが、その場合にも、ここで示した実施例の配置を用いることにより、高速動作可能のモジュール間の配線を実現することが可能となる。

本発明は、アミューズメント装置、画像処理装置、携帯情報機器に特

定するものではなく、家庭用電気製品、情報通信機器、制御装置に適用可能である。

第13図で本発明の半導体制御装置のパッケージの一実施例を説明する。第13図はパッケージを裏面から見た図である。パッケージとして、
5 256ピンのBGA(ボールグリッドアレイ)パッケージを例として説明する。パッケージ310のチップの裏側にピン(ボール)320が256個配置されている。ピン320は、縦20個、横20個の配置になっており、すべて実装されれば、400個のピンを持つことになるが、ここに示す256ピンのパッケージ310の場合には、内側の144個が
10 実装されておらず、外側の4列にピンが実装されている。最外周は縦20、横20個、その内側が縦18、横18個、さらにその内側が縦16、横16個、実装される最内周は縦14、横14個である。この実施例ではパッケージの外形は約27mm四方である。

第14図に第13図のAでのパッケージ310の断面図を示し、パッケージ310の内部の構成を説明する。パッケージ310の内部には、論理LSIチップ70、リードフレーム90が実装されており、論理LSIチップ70上に作成されているボンディングPAD71とリードフレーム90は、各ピン毎にボンディングワイヤ80で接続されている。

リードフレーム90とピン320は、各ピン毎にスルーホールで接続されている。最内側のピン340は、ボンディングワイヤ80とリードフレーム90の接点からすぐ近くに配置されているので、リードフレーム90のインダクタンスはほとんどなく、ワイヤボンディング80のインダクタンスしか見てこない。一方、外側のピン21は、ワイヤボンディング80とリードフレーム90の接点からさらにピン21まで距離があるので、リードフレーム90のインダクタンスの影響が出てくる。このため、最内側のピン340は、他のピンよりもインダクタンスが小

さくなり、電源／グランドピンとして使用するのに適している。

第15図にパッケージ310の内部の概略図およびを示し、さらに詳細に説明する。ここでは、図を簡略化するために、論理LSIチップ70上のボンディングPAD71の数は40個（各辺10個）、ピン320の総数は40個で、外側と内側の2列構成で、外側は各辺5個、内側は各辺5とする。

論理LSIチップ70は、I0用電源51と内部論理用電源50の2電源構成で動作するものとする。ここでは、内部論理用電源50は、チップの消費電力を下げるために、通常I0用電源51よりも低い電圧であるとする。また、I0用電源51のピンを4本、I0用グランド61のピンを8本、内部論理用電源50のピンを4本、内部論理用グランド60のピンを4本としている。

まず、論理LSIチップ70の内部の構成を簡単に説明する。論理LSIチップ70は、I0電源51で動作する領域73と内部論理用電源50で動作する領域74から構成される。I0電源動作領域73は、主にボンディングPAD71、入出力回路および内部電源の電圧レベルからI0電源の電圧レベルに変換するレベル変換回路72から構成され、外部回路との入出力を制御する。ただし、I0用の電源電圧と内部論理用の電源電圧の電圧が同じ場合にはレベル変換回路は必要ない。内部電源動作領域74には、マイコンや論理LSIの主要な機能が実装されている。

次に、パッケージ310上のピン320とリードフレーム90の構成について説明する。電源とグランドピンのインダクタンスを下げるために、電源とグランドピンは内側のピン、信号線は外側のピンに割り付けてある。論理LSIチップ70上のボンディングPAD71とリードフレーム90を接続するボンディングワイヤ80の長さは信号ピンも電源／グランドピンもほぼ同じである。電源／グランドピンのリードフレームの

配線長は、外側の信号線のリードフレームの配線長の約1／2から1／3と短くなり、電源／グランドピンのリードフレームのインダクタンスが小さくなっている。

第16図でI0用電源51と内部論理用電源50の2電源構成で動作する256ピンのピンのピン配置の構成を説明する。ここでは、I0電源が3.3V、内部電源が1.8Vとする。内部論理用電源50（図では、黒のピンで示す）と内部論理用グランド60（図では、黒のピンで示す）、I0用電源51とI0用グランド61を、最内側と、内側から2列目のピンに割り付ける。内部論理用電源50とグランド60は、出力バッファのノイズとは関係ないので、そのピン数は内部論理の消費電力で決まる。一般的には、プラスチックパッケージに実装できるLSIチップの消費電力は1ワットから1.5ワット程度なので、I0用の電源／グランドピンより内部電

源の電源50とグランド60のピンの方が、少なくてよい。ここでは、内部電源50とグランド60は、各辺2本ずつ割り当ててある。それ以外をI0用の電源51、I0用グランド61に割り当てればよい。

第17図にプリント基板110上での電源／グランドおよび、デカップリングコンデンサ400の実装の実施例を示す。ここで、グランドピンを最内側のピン340、電源ピンを内側から2列目のピン330に割り付けてある。プリント基板は4層基板であり、1層目が配線層、2層目がグランド層、3層目が、電源層、4層目が配線層である。

パッケージ310の裏面のピンの実装をしていない1層目401をプリント基板110上でグランドプレーン401にして、このグランドプレーン401とグランドピンの配線長を最短にしている。これにより、プリント基板110上でもグランド配線のインダクタンス成分を小さくすることが可能となる。

また、電源ピンとグランドピン間に実装するデカップリングコンデンサ400は、電源ピンとグランドピンの近くからスルーホールで4層目に配線し、最短の配線で実装できるようになる。これにより、プリント基板110上の電源／グランドの配線長を最短にでき、さらにデカップリングコンデンサ400も最短の位置に配置できる。これにより、出力バッファの切り替えノイズを抑えることが可能となる。

次に信号線のプリント基板上での配線について説明する。

第18図に第13図のBの部分を拡大したピン配置の構成図を示す。

ピン320の大きさは、0.75mm、ピン320の間隔が1.27mmであるとする。

第19図ではこのパッケージを実装するときのプリント基板の構成図を示す。ピン320と半田で接続するためのプリント基板上のフットパターン102の大きさを0.95mmとすると、フットパターン102間の間隔は0.3mmとなり、この間隔で引き出せる信号線55は、配線幅を0.1mm、フットパターン間の間隔0.1mmの信号線1本である。信号線は、外側2列のピンに割り付けられているので、最外側と外側から2列目の信号線はすべて、チップの外に引き出せることになる。これにより、スルーホールを使用しないで、信号線をパッケージの外側に引き出せるので、パッケージの裏面のプリント基板に信号線のスルーホールが不要になり、スルーホールによる内層の電源層／グランドプレーンの面積の削減を抑えることができ、電源層／グランド層を強化できる。この結果、パッケージ310からの信号線は、外部のチップやコネクタと接続が容易である。

第8図にマイコンのピン配置の実施例を示す。また、第9図、第10図は上記マイコンの信号ピンの役割を説明するための図表である。このパッケージの例は、BGA（ボールグリッドパッケージ）である。最内側に

グランド、最内側から 2 列目に電源を配置するピン割り付けになっている。I0 用の電源数は 30 本、I0 用のグランド数は 32 本、内部論理用の電源数は 8 本、内部論理用のグランド数は 8 本である。また、I0 用の電源／グランドの数は、出力信号線 4 本に 1 ペアの構成になっている。高速のメモリとのインターフェースに必要な、データバス(D0-D63)、アドレスバス(A2-A17)、制御信号(CKI0、CS2#、CS3#、RAS#、RD#/CASS#/FRAME#、WE_n#/CASn#/DQM_n(n=0-7)) 等は、必ず外側の 2 列に割り付けてある。外側の 2 列では信号線の本数が不足する場合には、内側の 2 列にも信号線を一部割り付けてよい。

以上説明したように、マイコンや論理 LSI 等の半導体制御装置のパッケージのピン配置において、内側に電源／グランドを配置することにより、出力バッファの切り替えノイズに強い半導体制御装置を提供できる。

本発明は、BGA パッケージだけでなく、同じようにチップの裏面にホールを配置した、PGA (ピングリッドアレイ) パッケージ、CSP (チップ サイズパッケージ) にも適用可能である。

パッケージの裏面にアレイ上 2 次元に配置されたピン配置のパッケージに実装された半導体制御装置において、内側のピンに電源とグランドを配置し、外側のピンに信号線を配置したことを特徴とする半導体制御装置。

最内側のピンにグランドを配置し、内側から 2 列目のピンに電源ピンを配置することを特徴とする半導体制御装置。

I0 用の電源と内部論理用の電源の 2 電源で動作し、I0 用の電源およびグランドピンが、内部論理用の電源およびグランドピンより多いことを特徴とする半導体制御装置。

半導体チップと、半導体チップを内蔵するパッケージと、パッケージの表面に配置される複数の端子とを有する半導体装置であって、複数の

端子は、半導体チップに対する電源またはグラウンドを供給する第1の種類の複数の端子と、半導体チップに信号を入力あるいは半導体チップから信号を出力する第2の種類の複数の端子を含み、半導体チップの外縁と第1の種類の端子それぞれの外縁との最短距離の集合AをA1～AN

5 (ただしNは第1の種類の端子の数)とし、半導体チップの外縁と第2の種類の端子それぞれの外縁との最短距離の集合BをB1～BM (ただしMは第2の種類の端子の数)としたとき、集合Bのうち最小のものが、集合Aのうちの最大のものと同じかそれ以上であることを特徴とする半導体装置。

10 複数の端子はパッケージの外形を形成する平面のうち最大面積の平面にマトリックス状に配置されており、最大面積の平面が矩形形状であり、矩形形状の平面の外縁と第1の種類の端子それぞれの外縁との最短距離の集合AXをAX1～AXN (ただしNは第1の種類の端子の数)とし、矩形形状の平面の外縁と上記第2の種類の端子それぞれの外縁との最短距離の集合BXをBX1～BXM (ただしMは第2の種類の端子の数)としたとき、
15 集合BXのうち最大のものが、集合AXのうちの最小のものと同じかそれ以上であることを特徴とする半導体装置。

半導体チップと、半導体チップを内蔵するパッケージと、パッケージの表面に互いに等間隔でマトリックス配置される複数の端子とを有する
20 半導体装置であって、マトリックス配置された端子のうち最外縁の端子を第1のグループとし、第1のグループの端子と最短距離にある端子を第2のグループとし、上記第2のグループの端子と最短距離にある端子で第1のグループに属していない端子を第3のグループとしたときに、
第3のグループにおける信号入出力端子以外の端子の割合が、第1のグ
25 ループにおけるそれよりも大きいことを特徴とする半導体装置。

第3のグループにおける信号入出力端子以外の端子の割合が、第2の

グループにおけるそれよりも大きいことを特徴とする半導体装置。

第3のグループの端子と最短距離にある端子で第2のグループに属していない端子を第4のグループとしたときに、第4のグループにおける信号入出力端子以外の端子の割合が、第1のグループにおけるそれよりも大きいことを特徴とする半導体装置。

信号入出力端子以外の端子には、半導体チップ内に形成された論理回路を駆動するための第1及び第2の電位を供給するための端子を含むことを特徴とする半導体装置。

信号出力端子以外の端子には、半導体チップ内に形成された論理回路を駆動するための第3及び第4の電位を供給するための端子をさらに含むことを特徴とする半導体装置。

半導体チップ内に形成された特定の論理ゲートを駆動するための第1及び第2の電位を供給するための端子が、第3及び第4のグループに属する端子に分かれて配置されていることを特徴とする半導体装置。

半導体チップ内に形成された特定の論理ゲートを駆動するための第3及び第4の電位を供給するための端子が、第3及び第4のグループに属する端子に分かれて配置されていることを特徴とする半導体装置。

第3及び第4のグループに属する端子に分かれて配置されている端子は、最も近い位置に配置されている端子であることを特徴とする半導体装置。

パッケージはプリント基板上に配置されており、第1及び第2のグループに属する端子からは基板表面に沿って配線が引き出され、第3及び第4のグループに属する端子からは基板を貫通するスルーホールを通して配線が引き出されていることを特徴とする半導体装置。

信号入出力端子は、半導体チップ内に形成された論理回路によって処理されるべき入力信号、あるいは、半導体チップ内に形成された論理回

路によって処理された出力信号を伝達することを特徴とする導体装置。

半導体チップと、半導体チップを内蔵するパッケージと、パッケージの表面に配置される複数の導体ピンと、半導体チップのパッドと導体ピンを電気的に接続するリードフレームを有する半導体装置であって、複

5 数のピンは、半導体チップに形成された能動素子を駆動するための少なくとも2つの電位を供給する第1の種類の複数のピンと、半導体チップの能動素子で変調される信号を入力あるいは半導体チップの能動素子で変調された信号を出力する第2の種類の複数のピンを含み、第1の種類のピンとパッドの間の配線長の最大のものが、第2の種類のピンとパッ

10 ドの間の配線長の最小のものを越えないことを特徴とする半導体装置。

第1の種類の複数のピンは半導体チップの外縁を取り囲むように配置され、第2の種類のピンは第1の種類の複数のピンを取り囲むように配置されていることを特徴とする半導体装置。

15 パッケージはプリント基板上に配置されており、第2の種類の複数のピンの大部分からは基板表面に沿って配線が引き出され、第1の種類の複数のピンの大部分からは基板を貫通するスルーホールを通して配線が引き出されていることを特徴とする半導体装置。

請 求 の 範 囲

1. マイコンと周辺制御半導体装置と複数の半導体メモリとから構成されるマイコン制御装置において、マイコンと周辺半導体装置との間に複数の半導体メモリを配置したことを特徴とするマイコン制御装置。
- 5 2. 前記マイコンの前記半導体メモリとの位置が最も近い辺の中央からクロック信号を出力し、そのクロック出力の左右からアドレス信号を出力し、そのアドレス出力のさらに外側から制御信号を出力し、前記マイコンと前記半導体メモリとの位置が次に近い辺からデータバスを出力することを特徴とする請求項 1 のマイコン制御装置。
- 10 3. 前記マイコンと周辺制御半導体装置との間に配置された半導体メモリが、アドレスピンを内側にし、データピンを外側にし、横置きに配置されたことを特徴とする請求項 1 または 2 に記載のマイコン制御装置。
4. 前記マイコンと周辺制御半導体装置とのピン配置が線対称になることを特徴とする請求項 1 乃至 3 のうちいずれかに記載のマイコン制御装置。
- 15 5. 前記マイコンは、裏面にアレイ状 2 次元に配置されたピン配置のパッケージを有しており、該ピン配置は、内側に電源のピンとグランドのピンを配置し外側に信号線のピンを配置していることを特徴とする請求項 1 乃至 3 のうちいずれかに記載のマイコン制御装置。
6. 前記マイコンのパッケージにおいて、最内側にグランドピンを配置し、内側から 2 列目に電源ピンを配置していることを特徴とする請求項 5 記載のマイコン制御装置。
- 20 7. 前記マイコンと前記周辺制御半導体装置と前記複数の半導体メモリとを 1 チップ化したことを特徴とする請求項 1 乃至 4 のうちいずれかに記載のマイコン制御装置。
- 25 8. 演算機能を備える第 1 の半導体装置と、記憶機能を備える第 2 およ

び第3の半導体装置とを有し、上記第1の半導体装置を通る軸をY軸と想定したときに、上記第2および第3の半導体装置がY軸に対して線対称の配置になるように配置され、上記第1の半導体装置の上記第2および第3の半導体装置に近い辺にクロック信号を出力するクロック信号端子を有し、該クロック信号端子からクロック信号が上記第2および第3の半導体装置に供給されている情報処理装置。

5 9. 前記Y軸に直交するX軸を想定したときに、前記第2および第3の半導体装置は上記X軸の方向に沿って並んでいる請求項8記載の情報処理装置。

10 10. 前記Y軸の上に、演算機能を備える第4の半導体装置を有し、該第4の半導体装置と前記第1の半導体装置との間に前記第2および第3の半導体装置が配置され、前記第1の半導体装置から供給されるクロック信号が、上記第4の半導体装置の上記第2および第3の半導体装置に近い辺に配置されたクロック信号入力端子に入力されている請求項9記載の情報処理装置。

15 11. 前記クロック信号を伝達する配線が、前記第2および第3の半導体装置の間を通っている請求項10記載の情報処理装置。

12. 前記第1の半導体装置のクロック端子の左右にアドレス信号端子を有し、該アドレス信号端子からアドレス信号が上記第2および第3の半導体装置に供給されている請求項11記載の情報処理装置。

20 13. 前記第1の半導体装置は、裏面にアレイ状2次元に配置されたピン配置のパッケージを有しており、該ピン配置は、内側に電源のピンとグランドのピンを配置し外側に信号線のピンを配置していることを特徴とする請求項8乃至12のうちいずれかに記載の情報処理装置。

25 14. 前記第1の半導体装置のパッケージにおいて、最内側にグランドピンを配置し、内側から2列目に電源ピンを配置していることを特徴と

する請求項13記載の情報処理装置。

15. 前記第1の半導体装置のクロック信号端子のある辺を第1の辺とし、該第1の辺の両側の辺を第2および第3の辺としたときに、各辺に配置される端子の数に対するデータ信号入出力端子の数の割合は、第1の辺における割合よりも、第2または第3の辺における割合の方が大きく設定されている請求項12記載の情報処理装置。

16. 前記第2および第3の半導体装置は前記X軸に平行な方向に長辺を有しており、該長辺において上記アドレス信号の入力される端子は、データ信号入出力端子よりもY軸に近く配置されている請求項15記載の情報処理装置。

17. 前記第4の半導体装置のクロック信号入力端子のある辺と同じ辺にアドレス信号入力端子を有し、該アドレス信号入力端子に前記第1の半導体装置からのアドレス信号を入力する請求項16記載の情報処理装置。

18. 前記第4の半導体装置のクロック信号入力端子のある辺を第1の辺とし、該第1の辺の両側の辺を第2および第3の辺としたときに、各辺に配置される端子の数に対するデータ信号入出力端子の数の割合は、第1の辺における割合よりも、第2または第3の辺における割合の方が大きく設定されている請求項17記載の情報処理装置。

19. 前記第2および第3の半導体装置と同様の構成の第5および第6の半導体装置を有し、該第5および第6の半導体装置がY軸に対して線対称の配置になるように配置され、かつ、上記第5および第6の半導体装置は前記X軸に平行な方向に長辺を有しており、該長辺におけるアドレス信号の入力される端子は、データ信号入出力端子よりも前記第1の半導体装置のクロック信号端子に近く配置されている請求項18記載の情報処理装置。

20. 前記第5および第6の半導体装置は、前記第2および第3の半導体装置が配置される基板面と同一の基板面に配置され、かつ、前記第1および第4の半導体装置の間に配置されている請求項19記載の情報処理装置。

5 21. 前記第5および第6の半導体装置は、前記第2および第3の半導体装置が配置される基板面と反対の基板面に配置され、かつ、該基板に對して前記第2および第3の半導体装置と面對称になるように配置されている請求項19記載の情報処理装置。

22. 前記第2、第3、第5、第6の半導体装置は、16ビットのデータバスを有する半導体メモリである請求項20または21記載の情報処理装置。

10 23. エミュレータ、クロック発振回路、入出力ポート、シリアルインターフェイス、および割込回路のうちの少なくとも一種を周辺モジュールとして備え、前記第1の半導体装置の第1から第3の辺以外の辺に配置される端子と上記周辺モジュールを接続する請求項13乃至22のうちのいずれかに記載の情報処理装置。

15 24. 前記第2および第3の半導体装置とは異なる種類の半導体メモリを備え、前記第1の半導体装置の第1から第3の辺以外の辺に配置される端子と上記半導体メモリを接続する請求項23記載の情報処理装置。

20 25. 前記第4の半導体装置が、画像データ処理用の半導体装置である請求項10乃至24のうちいずれかに記載の情報処理装置。

26. 前記第4の半導体装置は、裏面にアレイ状2次元に配置されたピン配置のパッケージを有しており、該ピン配置は、内側に電源のピンとグランドのピンを配置し外側に信号線のピンを配置していることを特徴とする請求項10乃至25のうちいずれかに記載の情報処理装置。

27. 前記第4の半導体装置のパッケージにおいて、最内側にグランド

ピンを配置し、内側から2列目に電源ピンを配置していることを特徴とする請求項26記載の情報処理装置。

28. マイクロコンピュータと2つの半導体メモリを基板上に配置して構成した情報処理装置であって、上記マイクロコンピュータの第1の辺に平行な方向に上記2つの半導体メモリが並べて配置され、上記マイクロコンピュータと半導体メモリの間はクロックバス、アドレスバス、データバスで接続され、上記マイクロコンピュータの第1の辺に配置された端子に上記クロックバスが接続されている情報処理装置。

29. 前記マイクロコンピュータは、裏面にアレイ状2次元に配置されたピン配置のパッケージを有しており、該ピン配置は、内側に電源のピンとグランドのピンを配置し外側に信号線のピンを配置していることを特徴とする請求項28記載の情報処理装置。

30. 前記マイクロコンピュータのパッケージにおいて、最内側にグランドピンを配置し、内側から2列目に電源ピンを配置していることを特徴とする請求項29記載の情報処理装置。

31. 前記マイクロコンピュータの第1の辺を挟む第2の辺と第3の辺とに配置された端子のうち上記データバスに接続される端子の割合は、上記第1の辺に配置された端子のうち上記データバスに接続される端子の割合よりも大きい請求項28記載の情報処理装置。

32. 上記マイクロコンピュータの第1の辺に配置された端子に上記アドレスバスが接続されている請求項28または31記載の情報処理装置。

33. 前記2つの半導体メモリの長辺が前記マイクロコンピュータの第1の辺に平行であり、該長辺に配置された端子に上記アドレスバスとデータバスが接続され、上記2つの半導体メモリの対向する辺に近い端子に上記アドレスバスが接続されている請求項28乃至32のうちいずれかに記載の情報処理装置。

3 4. 前記 2 つの半導体メモリの長辺の、前記アドレスバスが接続された端子とデータバスが接続された端子の間の端子に、前記クロックバスが接続されている請求項 3 3 記載の情報処理装置。

3 5. 直方体形状を有する第 1 のデータ処理装置、第 2 のデータ処理装置、複数の記憶装置、およびこれらを搭載する基板を有する情報処理装置であって、上記基板面上に互いに直交する X 軸と Y 軸を想定した場合、Y 軸上に上記第 1 および第 2 のデータ処理装置が配置され、上記 Y 軸に線対称に上記複数の記憶装置が配置され、かつ、X 軸に線対称に上記複数の記憶装置が配置され、かつ、上記複数の記憶装置を挟んで上記第 1 および第 2 のデータ処理装置が配置されていることを特徴とする情報処理装置。

3 6. 前記第 1 のデータ処理装置と第 2 のデータ処理装置の対向する面の間をクロック信号を供給する配線が接続しており、該配線の両側に前記複数の記憶装置が分かれて配置されていることを特徴とする請求項 3 5 記載の情報処理装置。

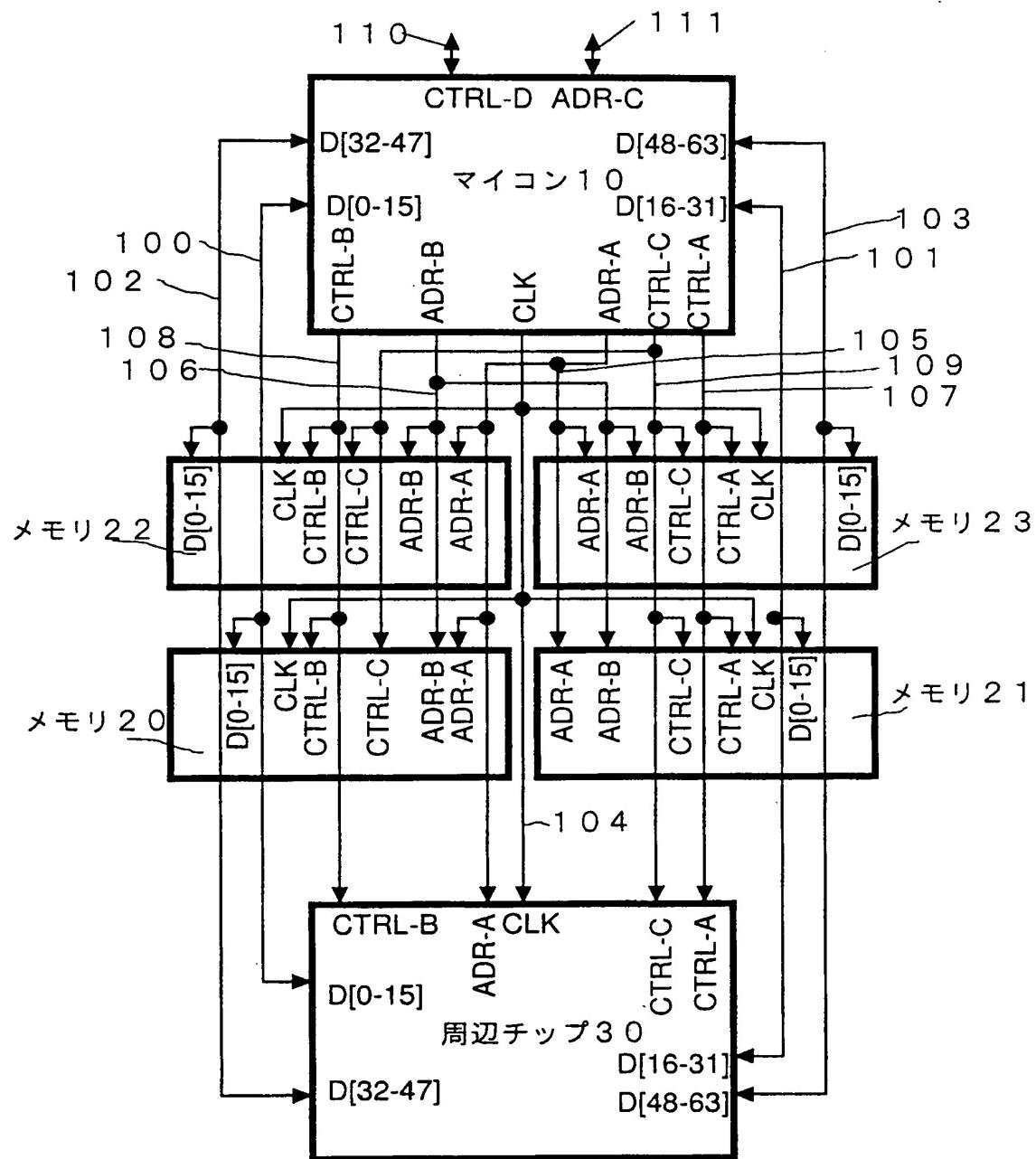
3 7. 前記第 1 または第 2 のデータ処理装置の Y 軸の右側にある面にある端子と、前記記憶装置のうち Y 軸の右側にある記憶装置がデータバスで接続され、前記第 1 または第 2 のデータ処理装置の Y 軸の左側にある面にある端子と、前記記憶装置のうち Y 軸の左側にある記憶装置がデータバスで接続されていることを特徴とする請求項 3 6 記載の情報処理装置。

3 8. 直方体形状を有する第 1 のデータ処理装置、第 2 のデータ処理装置、複数の記憶装置、およびこれらを搭載する基板を有する情報処理装置であって、上記基板面を挟んで上記第 1 および第 2 のデータ処理装置が配置され、上記第 1 のデータ処理装置の入力あるいは出力端子が、第 2 のデータ処理装置の出力あるいは入力端子と向き合う位置に配置され

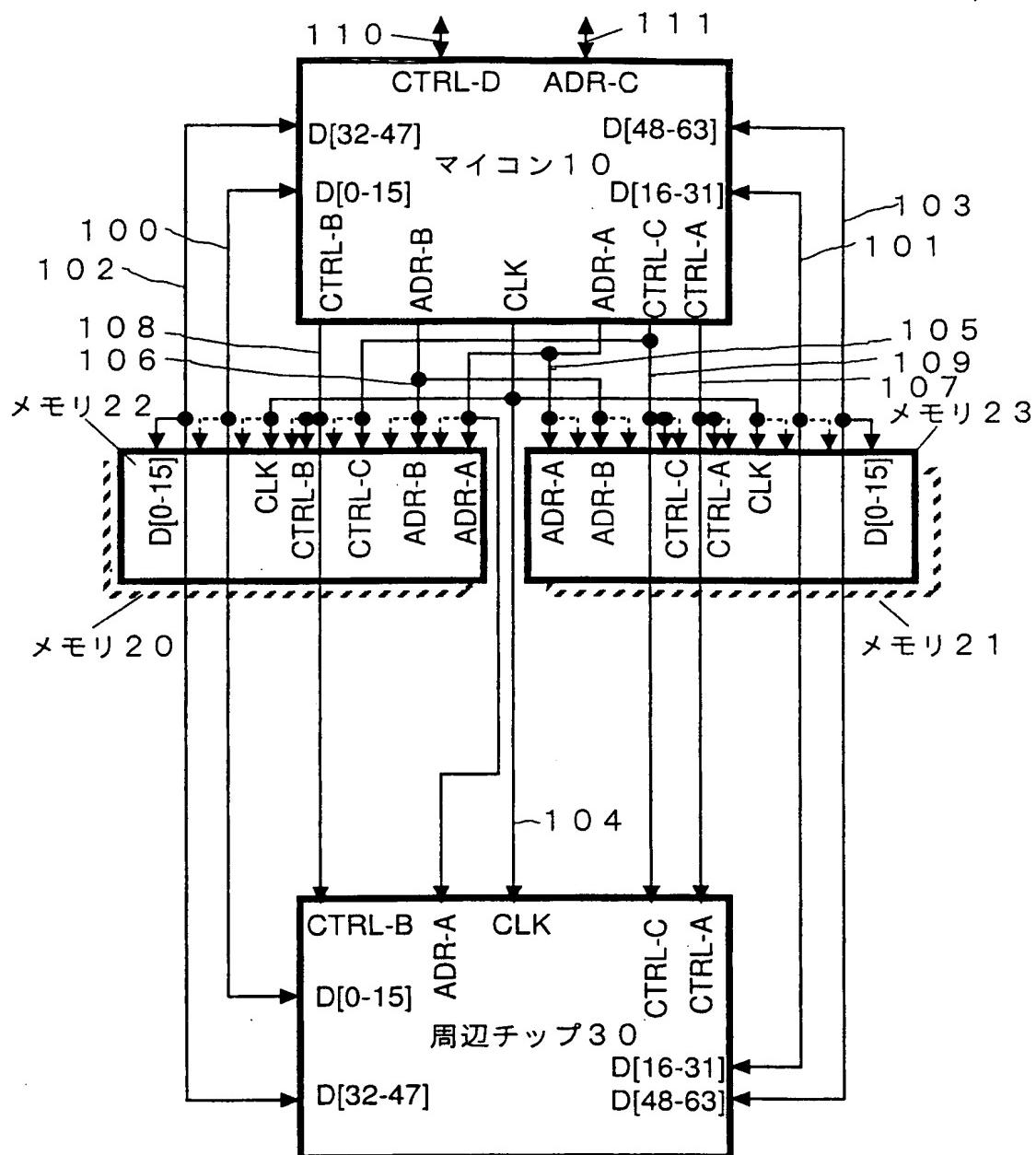
ていることを特徴とする情報処理装置。

3 9. 前記基板面を挟んで前記複数の記憶装置が配置され、該記憶装置のクロック入力端子、アドレス入力端子、データ入力端子がそれぞれ向
き合う位置に配置されていることを特徴とする請求項 3 8 記載の情報処
理装置。
5

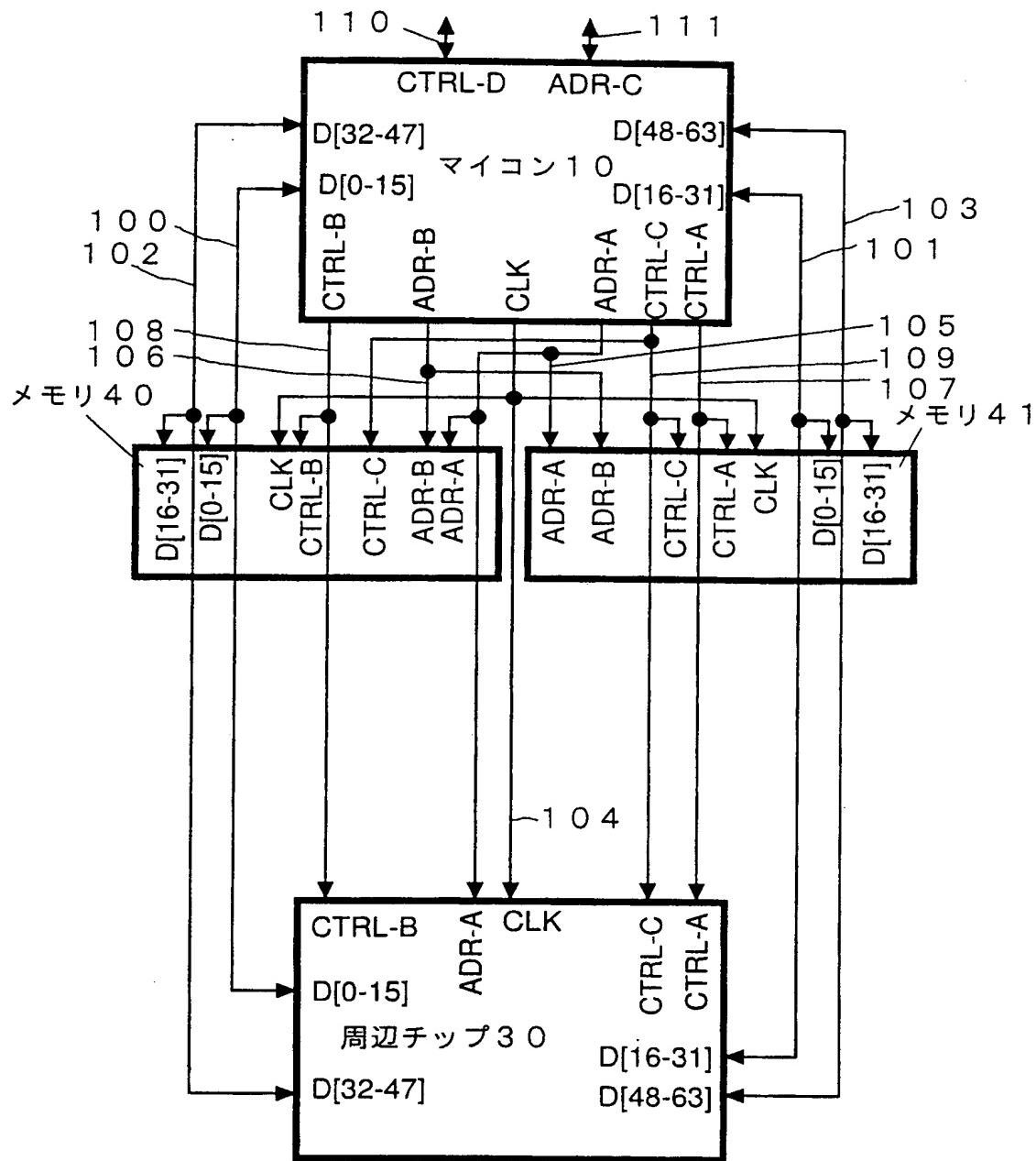
第1図



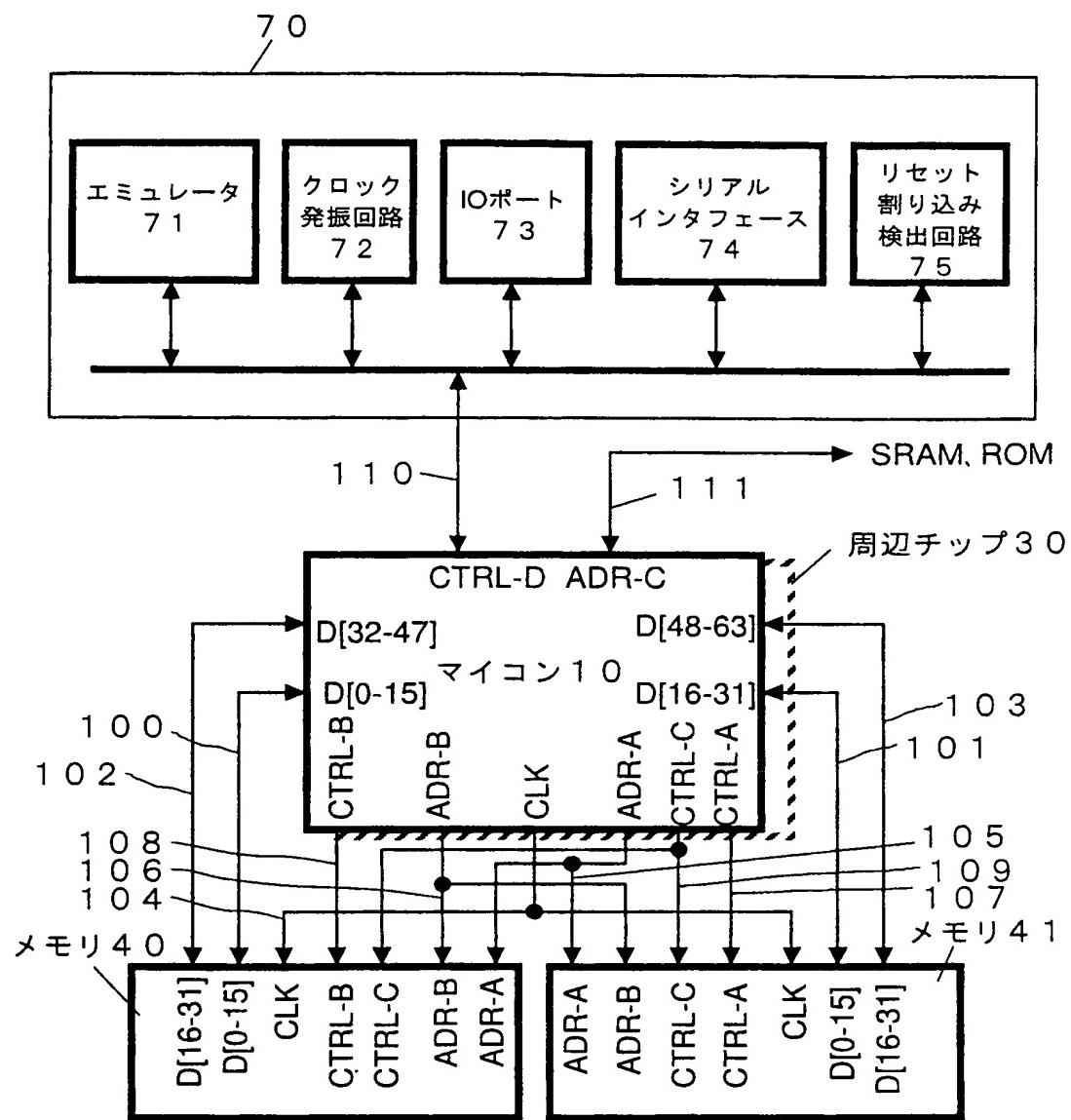
第2図



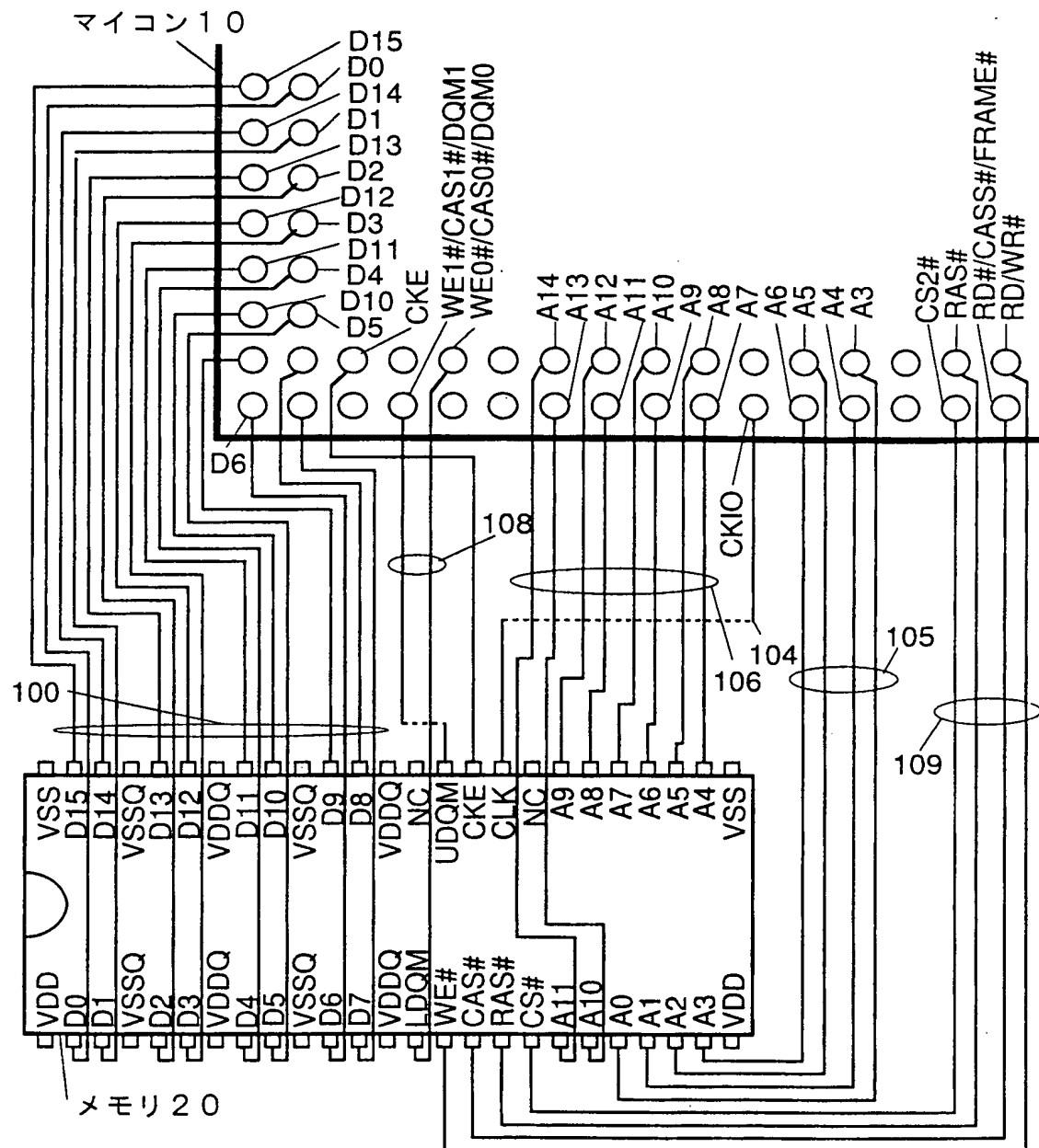
第3図



第4図



第5図

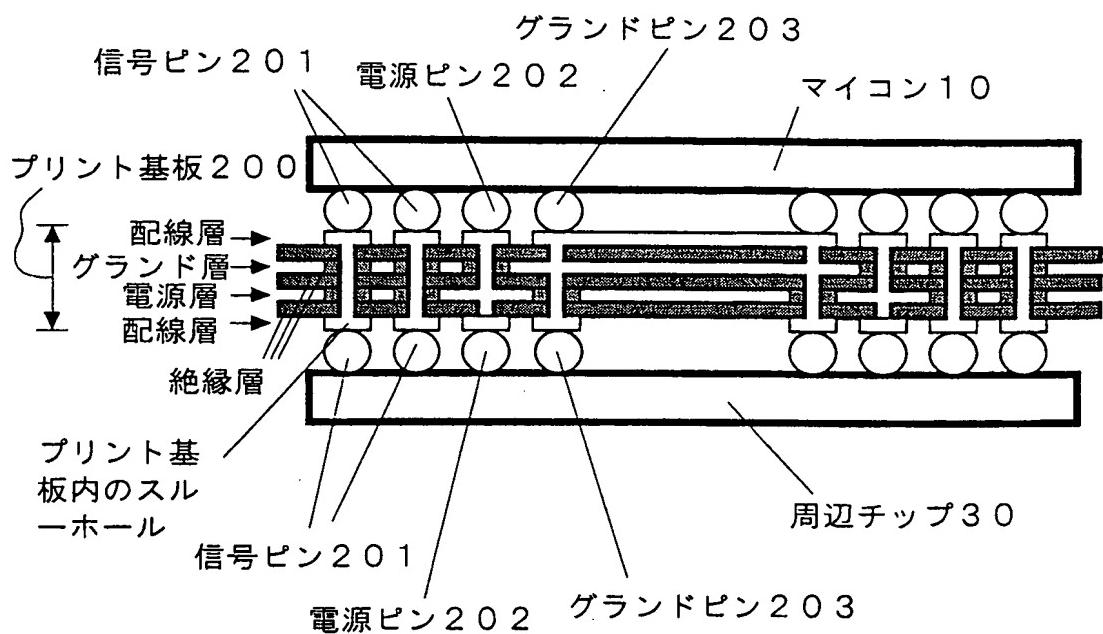


点線は裏面の配線

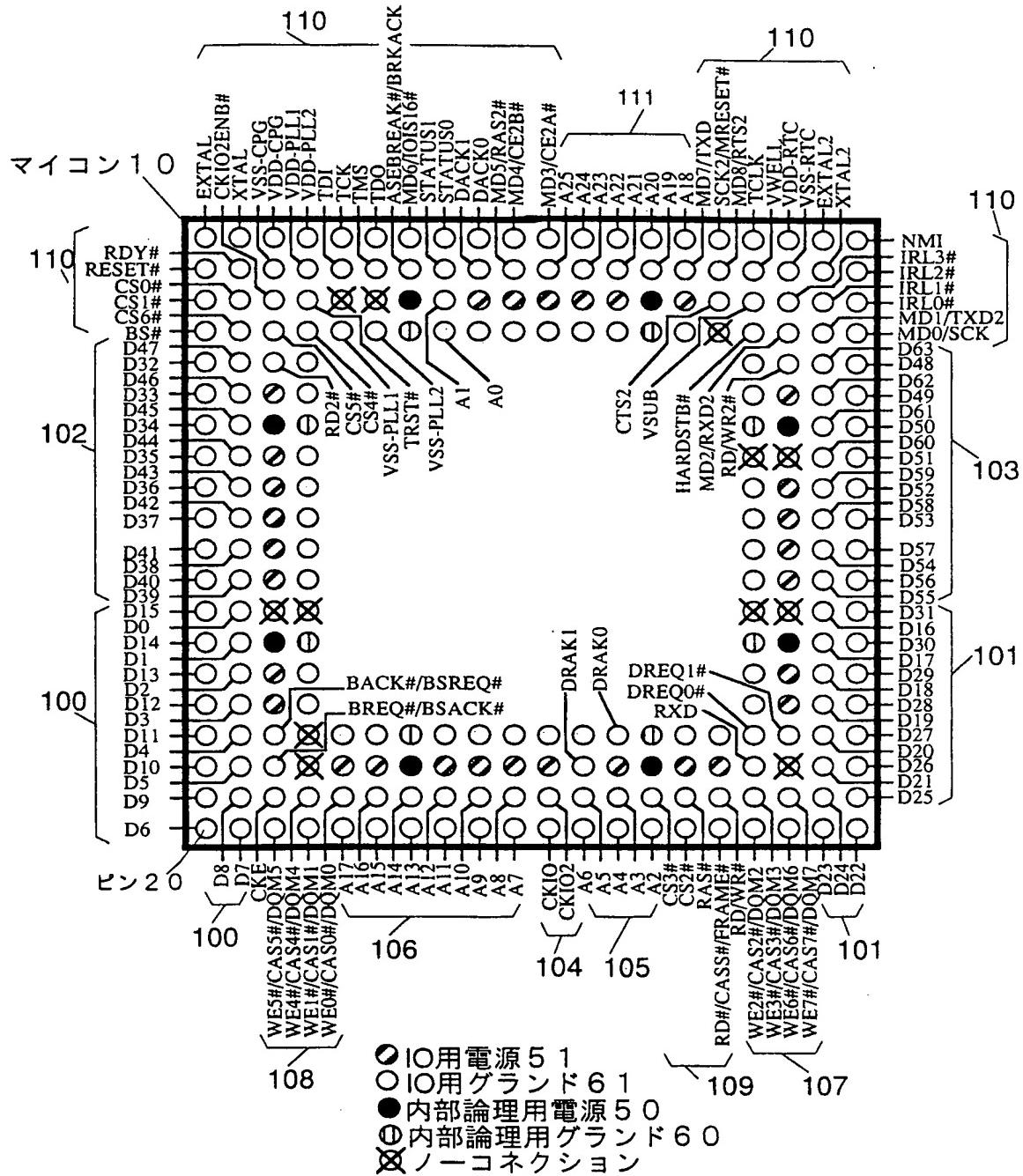
第6図

ピン名	機能
D0-D15	データ入出力
A0-A11	アドレス入力
CS#	チップセレクト信号
RAS#	ロー アドレスストローブ
CAS#	カラムアドレスストローブ
WE#	書き込みイネーブル
UDQM	上位データマスクイネーブル
LDQM	下位データマスクイネーブル
CKE	クロックイネーブル
CLK	クロック入力
NC	ノーコネクション
VDDQ	IO電源
VSSQ	IOグランド
VDD	内部電源
VSS	内部グランド

第7図



第8図



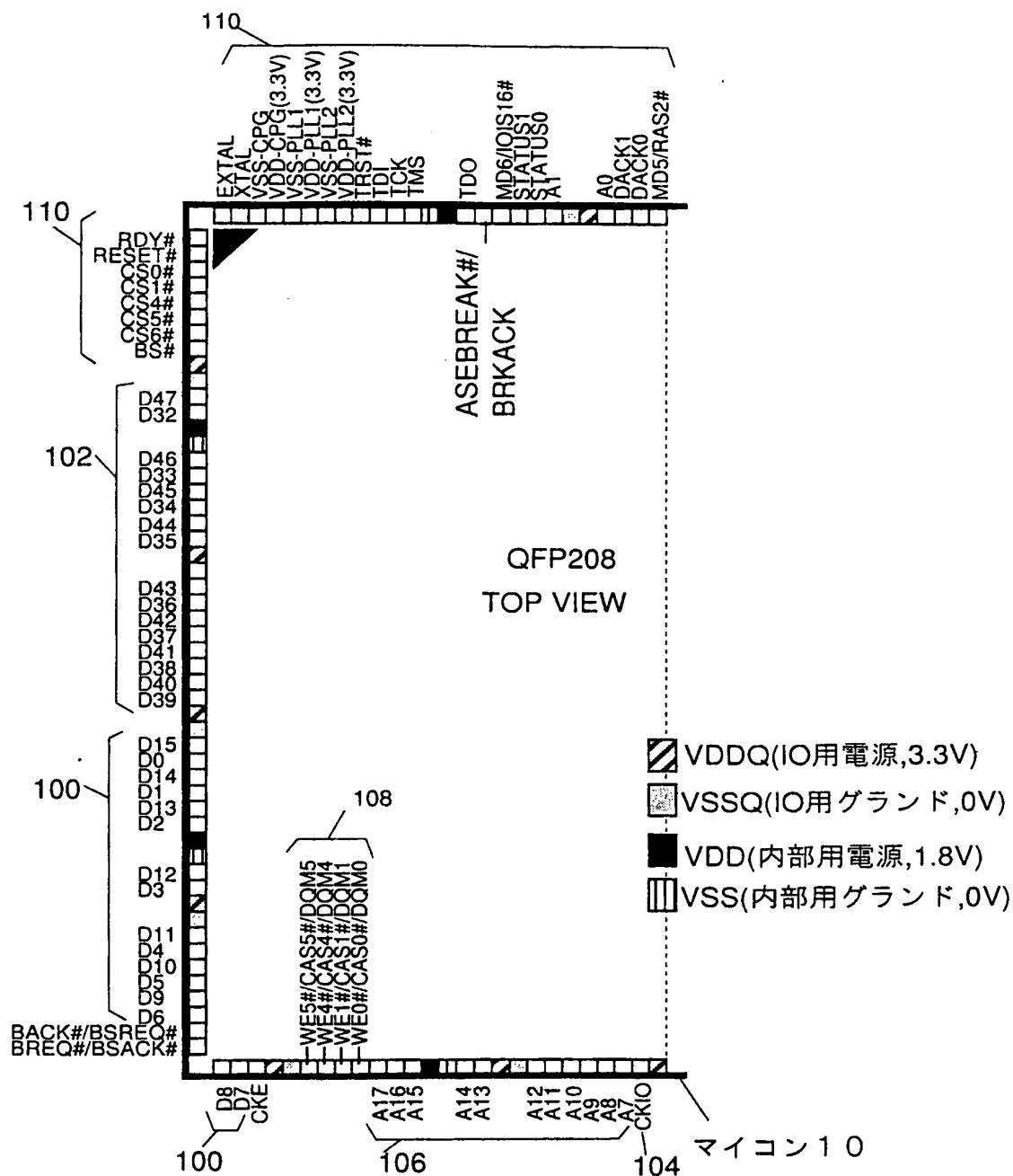
第9図

信号名	機能
D0-D63	データバス
A0-A25	アドレスバス
RESET#	リセット信号
BACK#/BSREQ#	バス要求許可
BREQ#/BSACK#	バス要求
BS#	バススタート信号
CKE	クロックサイネーブル信号
CS6#-CS0#	チップセレクト信号
RAS#	ローアドレスストローブ
RD#/CASS#/FRAME#	読み出し信号/SDRAMのカラムアドレストローブ/PCIの制御信号
RD/WR#	読み出し/書き込み切り替え信号
RDY#	バスサイクルレディー信号
WE7#/CAS7#/DQM7	書き込みストローブ ／DRAMのローアドレススト ローブ ／SDRAMのデータマスクイネ ーブル
WE6#/CAS6#/DQM6	
WE5#/CAS5#/DQM5	
WE4#/CAS4#/DQM4	
WE3#/CAS3#/DQM3	
WE2#/CAS2#/DQM2	
WE1#/CAS1#/DQM1	
WE0#/CAS0#/DQM0	
DACK1-DACK0	バス転送許可信号 (DMA転送用)
MD7/TXD	リセット時のモードピン／シリアルデータ送信信号
MD6/IOIS16#	リセット時のモードピン／PCMCIA用バス制御信号
MD5/RAS2#	リセット時のモードピン／DRAM用カラムアドレストローブ
MD4/CE2B#	リセット時のモードピン／PCMCIA用バス制御信号
MD3/CE2A#	リセット時のモードピン／PCMCIA用バス制御信号
CKIO	バスロック出力
STATUS1-STATUS0	チップの状態出力
IRL3#-IRL0#	割り込み入力
NMI	ノンマスカブル割り込み入力信号
DREQ1#-DREQ0#	データ転送要求信号 (DMA転送用)
DRAK1-DRAK0	データ転送要求許可信号 (DMA転送用)

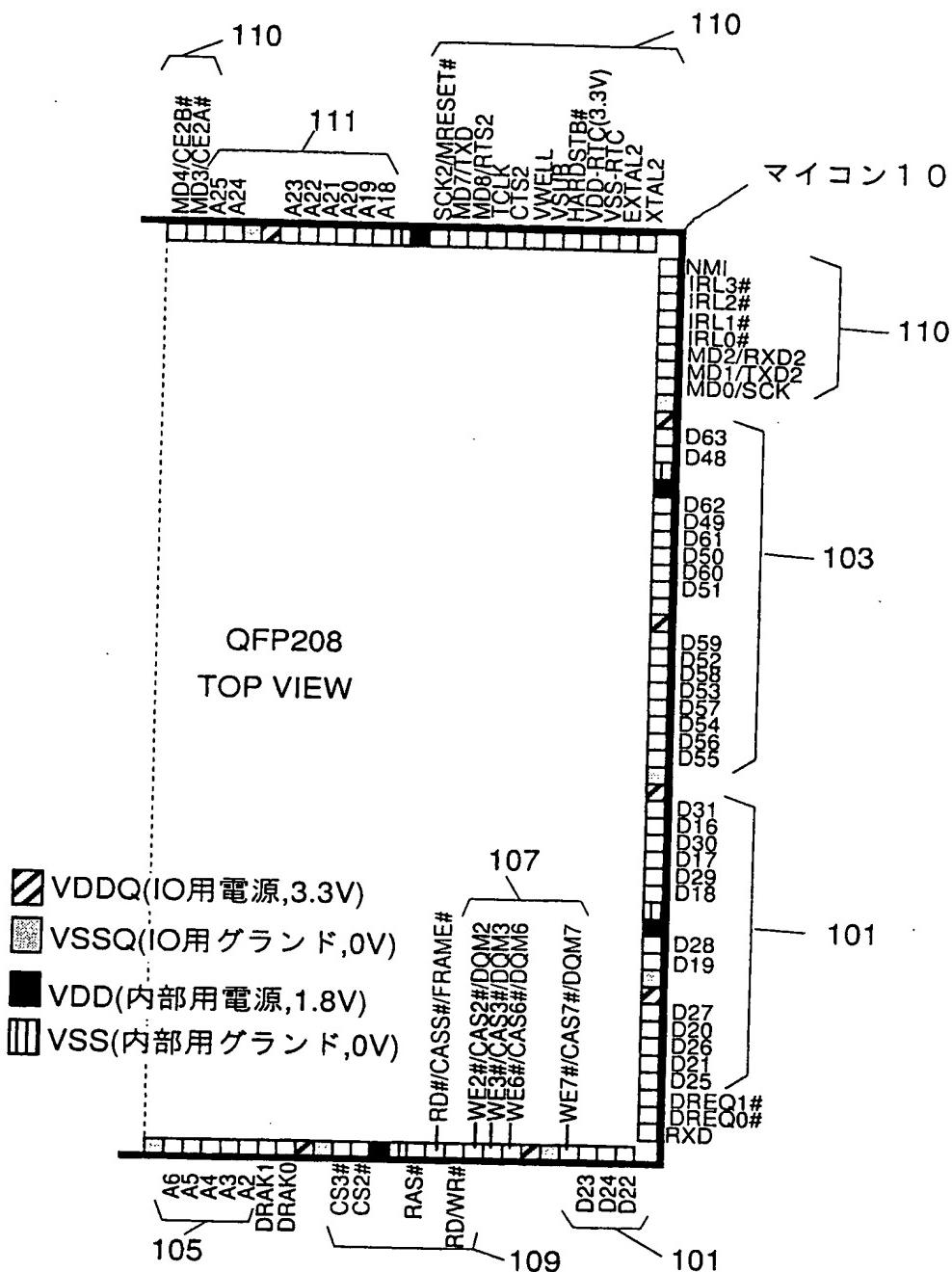
第10図

信号名	機能
MD0/SCK	リセット時のモードピン／シリアルクロック
RXD	シリアルデータ受信信号
SCK2/MRESET#	シリアルクロック／マニュアルリセット
MD1/TXD2	リセット時のモードピン／シリアルデータ送信信号
MD2/RXD2	リセット時のモードピン／シリアルデータ受信信号
CTS2	シリアルデータ制御信号
MD8/RTS2	リセット時のモードピン／シリアルデータ制御信号
TCLK	タイマークロック
TDO	エミュレータ制御信号
TMS	エミュレータ制御信号
TCK	エミュレータ制御信号
TDI	エミュレータ制御信号
TRST#	エミュレータ制御信号
ASEBREAK#/BRKACK	エミュレータ制御信号
CKIO2	バスロック出力
RD2#	読み出し信号
RD/WR2#	読み出し／書き込み切り替え信号
CKIO2ENB#	CKIO2, RD2#, RD/WR2#信号イネーブル信号
VSUB	低電力制御信号
VWELL	低電力制御信号
HARDSTB#	低電力制御信号
EXTAL	水晶発振器接続端子／クロック入力端子
XTAL	水晶発振器接続端子
EXTAL2	リアルタイムクロック水晶発振子接続端子
XTAL2	リアルタイムクロック水晶発振子接続端子
VDD-CPG	水晶発振子用電源
VSS-CPG	水晶発振子用グランド
VDD-PLL1	PLL用電源
VSS-PLL1	PLL用グランド
VDD-PLL2	PLL用電源
VSS-PLL2	PLL用グランド
VDD-RTC	リアルタイムクロック水晶発振子用電源
VSS-RTC	リアルタイムクロック水晶発振子用グランド

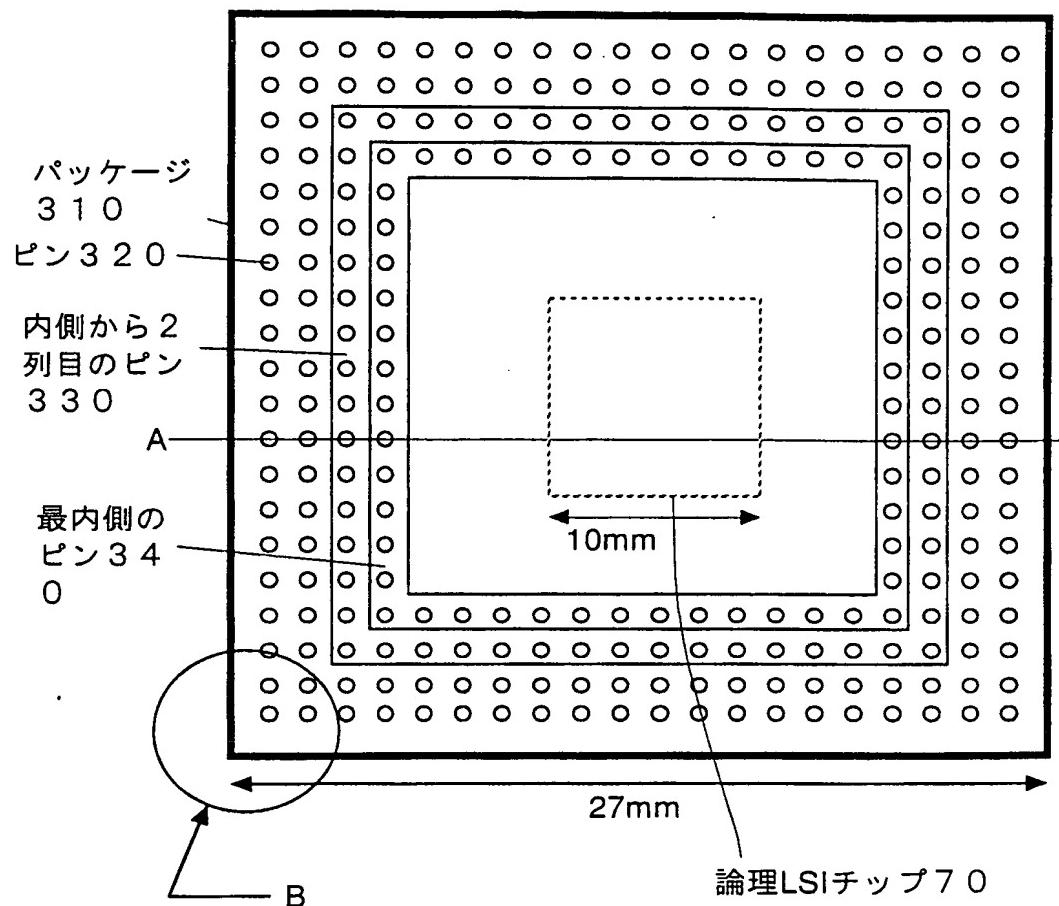
第 11 図



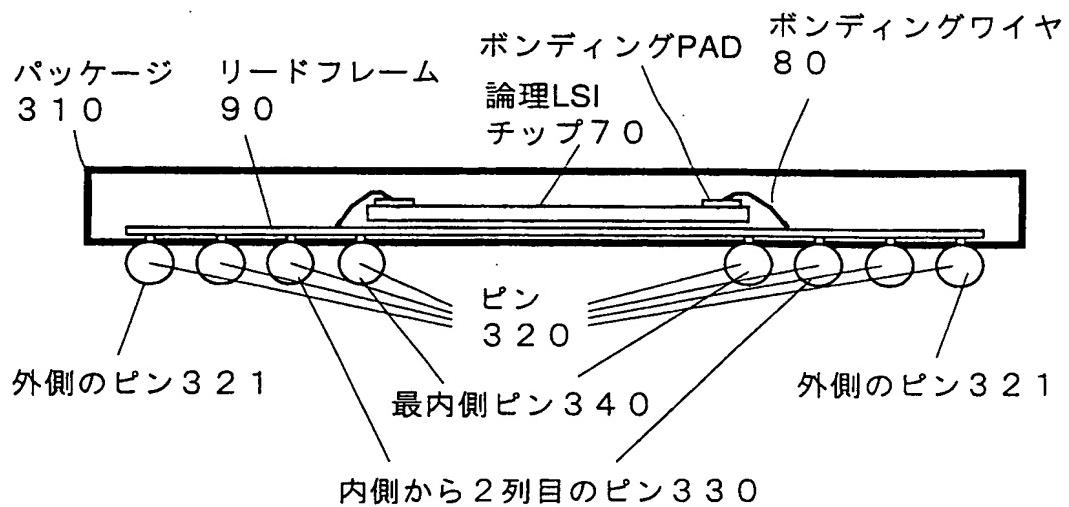
第12図



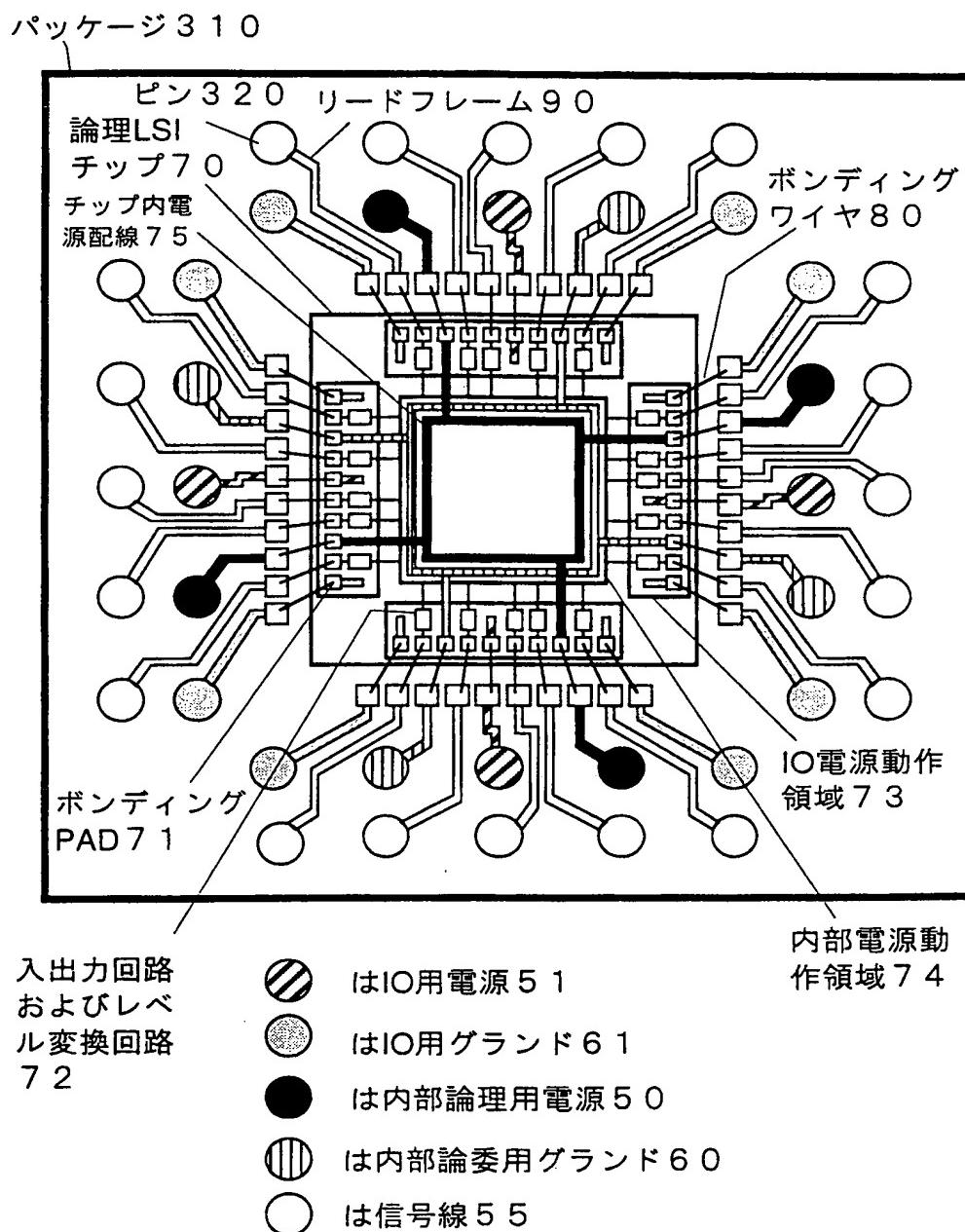
第13図



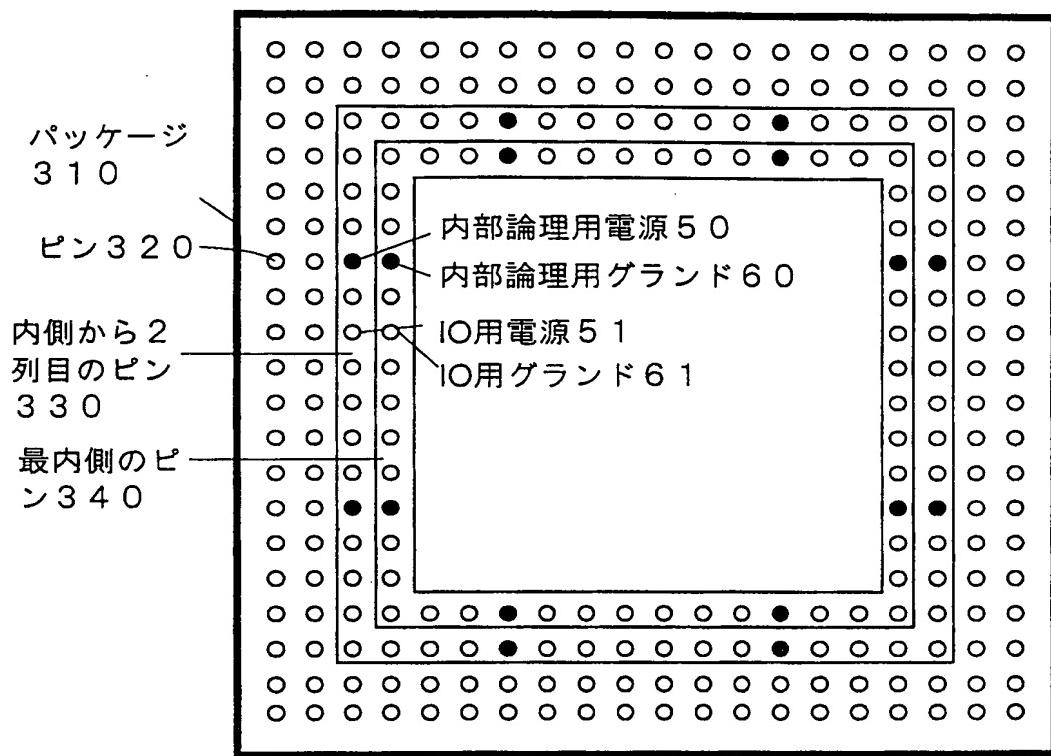
第14図



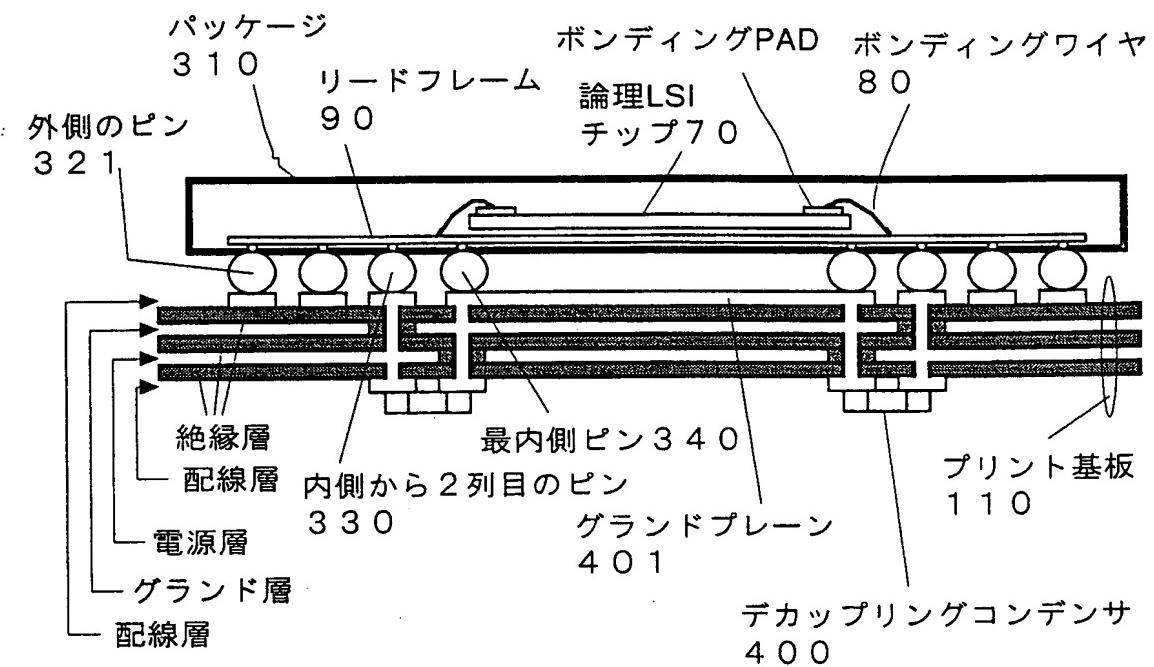
第15図



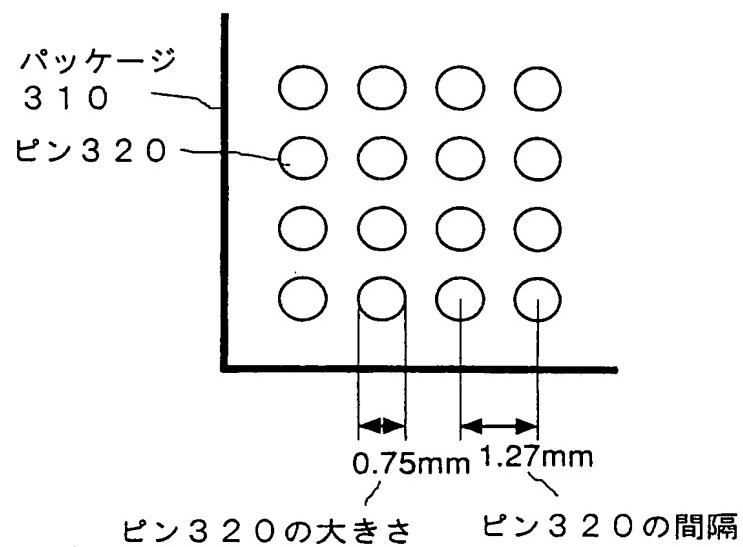
第16図



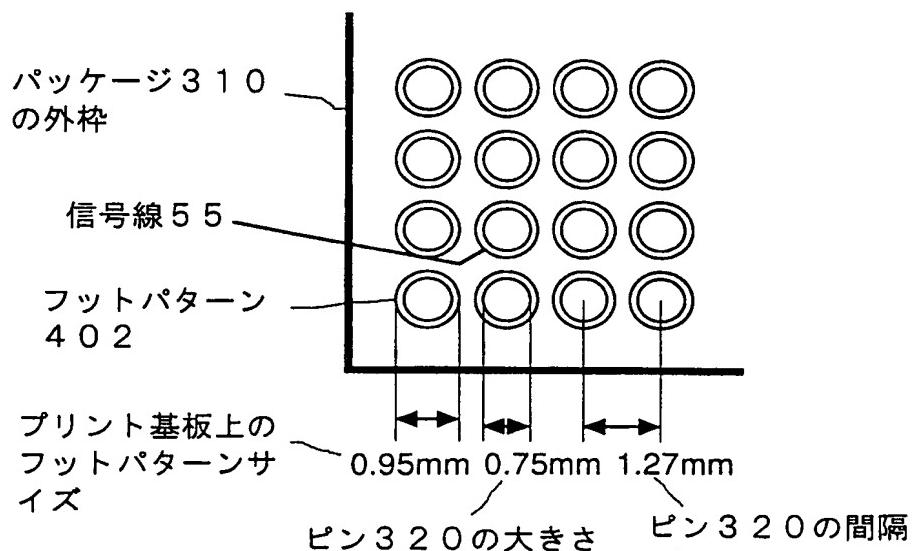
第17図



第18図



第19図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/04928

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G06F1/18, G06F3/00, G06F15/78, H05K1/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHEDMinimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G06F1/18, G06F3/00, G06F15/78, H05K1/02Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 1-220498, A (Oki Electric Industry Co., Ltd.), 4 September, 1989 (04. 09. 89), Fig. 6 (Family: none)	1
Y	JP, 4-273470, A (Hitachi,Ltd., Hitachi Chemical Co., Ltd.), 29 September, 1992 (29. 09. 92), Fig. 4 & EP, 501474, A2	8-34
Y	JP, 61-93694, A (Matsushita Electric Industrial Co., Ltd.), 12 May, 1986 (12. 05. 86), Fig. 2 (Family: none)	38, 39

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search
22 January, 1999 (22. 01. 99)Date of mailing of the international search report
2 February, 1999 (02. 02. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C1° G06F1/18, G06F3/00, G06F15/78, H05K1/02

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C1° G06F1/18, G06F3/00, G06F15/78, H05K1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1999年

日本国実用新案登録公報 1996-1999年

日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 1-220498, A (沖電気工業株式会社) 4. 9月. 1 989 (04. 09. 89), 第6図 (ファミリーなし)	1
Y	J P, 4-273470, A (株式会社日立製作所, 日立化成工業 株式会社) 29. 9月. 1992 (29. 09. 92), 第4図 & E P, 501474, A2	8-34
Y	J P, 61-93694, A (松下電器産業株式会社) 12. 5 月. 1986 (12. 05. 86), 第2図 (ファミリーなし)	38, 39

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 22. 01. 99	国際調査報告の発送日 02.02.99
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 堀江義隆  電話番号 03-3581-1101 内線 3523